

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-126265

(43)Date of publication of application : 29.05.1991

(51)Int.Cl.

H01L 29/788

H01L 27/115

H01L 29/784

H01L 29/792

(21)Application number : 01-264453

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 11.10.1989

(72)Inventor : UEMURA TERUO

MIZUTANI TAKAHIDE

HANADA NAOKI

MORI TATSUO

SHINADA KAZUYOSHI

## (54) NONVOLATILE SEMICONDUCTOR MEMORY DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

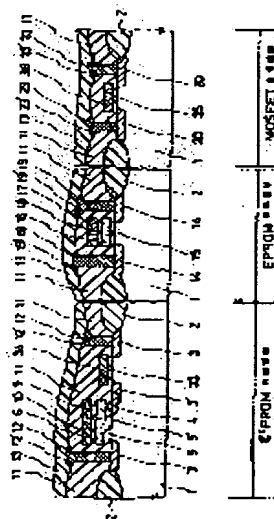
**PURPOSE:** To make it possible to provide a memory element necessitating rewriting of data and a memory element not necessitating rewriting thereof nearly at all together in a scaled-down one-chip microcomputer, by providing a first memory element constructed of E2PROM, a second memory element constructed of EPROM and a peripheral element constructed of MOSFET at least on the same semiconductor substrate.

**CONSTITUTION:** A first gate insulation film 5 of an E2PROM cell in a region wherein E2PROM is formed, a tunnel insulation film 5', a first gate insulation film 15 in a region wherein EPROM is formed, and first gate

insulation films 35, 5 of selective transistors in a region wherein MOSFET is formed and in the region wherein

the E2PROM is formed, are formed to be different in a film thickness from one another.

Moreover, floating gates 6, 16 of the E2PROM and the EPROM and a gate 34 of MOSFET (including the selective transistor of the E2PROM) are formed of different conductive layers



BEST AVAILABLE COPY

and the E2PROM, the EPROM and the MOSFET are formed on the same chip. Besides, the floating gate 6 of the E2PROM and the floating gate 16 of the EPROM are so formed that area resistance values thereof are different from each other.

---

#### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

## ⑫ 公開特許公報(A) 平3-126265

⑬ Int.Cl.<sup>9</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)5月29日

H 01 L 29/788

7514-5F  
8422-5F

H 01 L 29/78

371  
301

※

審査請求 有 請求項の数 10 (全42頁)

⑮ 発明の名称 不揮発性半導体記憶装置およびその製造方法

⑯ 特 願 平1-264453

⑰ 出 願 平1(1989)10月11日

⑱ 発 明 者 植 村 輝 雄 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内

⑱ 発 明 者 水 谷 隆 英 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内

⑱ 発 明 者 花 田 直 紀 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内

⑱ 発 明 者 森 龍 男 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁 理 士 鈴 江 武 彦 外3名

最終頁に続く

## 明 細 書

## 1. 発明の名称

不揮発性半導体記憶装置およびその製造方法

## 2. 特許請求の範囲

(1) 同一半導体基板上に、E<sup>2</sup>PROMにて構成された第1の記憶部と、

EPROMにて構成された第2の記憶部と、

MOSFETにて構成された周辺部とを少なくとも具備していることを特徴とする半導体記憶装置。

(2) 半導体基板上にフィールド絶縁膜を形成し、素子領域としてE<sup>2</sup>PROM形成予定領域、EPROM形成予定領域、および周辺用MOSFET形成予定領域を隔る工程と、上記E<sup>2</sup>PROM形成予定領域に対して所定の不純物をイオン注入し、第1の不純物層を形成する工程と、

素子領域上に第1のゲート絶縁膜を形成する工程と、

上記EPROM形成予定領域、および周辺用

MOSFET形成予定領域上に形成された上記第1のゲート絶縁膜を剥離する工程と、

上記EPROM形成予定領域、および周辺用MOSFET形成予定領域上に上記第1のゲート絶縁膜と膜厚の異なる第2のゲート絶縁膜を形成する工程と、

上記第1の不純物層上の第1のゲート絶縁膜の一部を除去し、再度、この除去部分に対して、第1および第2のゲート絶縁膜とは膜厚の異なる第3のゲート絶縁膜を形成する工程と、

全面に、E<sup>2</sup>PROMおよびEPROMの浮遊ゲート、E<sup>2</sup>PROMの選択用MOSFET並びに周辺用MOSFETのゲートとなる第1の導電層を形成する工程と、この第1の導電層を、E<sup>2</sup>PROMおよびEPROMの浮遊ゲートのセルスリット、E<sup>2</sup>PROMの選択用MOSFET並びに周辺用MOSFETのゲートの形状にパターニングする工程と、

全面に、第4のゲート絶縁膜を形成する工程と、

## 特開平3-126265 (2)

全面に、E<sup>2</sup>PROMおよびEPROMの制御ゲートとなる第2の導電層を形成する工程と、

この第2の導電層を、E<sup>2</sup>PROMおよびEPROMの制御ゲートの形状にパターンニングし、これをマスクに引き続き上記第1の導電層をE<sup>2</sup>PROMおよびEPROMの浮遊ゲートの形状にパターンニングする工程と、

上記E<sup>2</sup>PROMおよびEPROMの制御ゲート、E<sup>2</sup>PROMの選択用MOSFET並びに周辺用MOSFETのゲートをマスクにして、ソース/ドレイン領域形成用の不純物を、基板に対しイオン注入する工程と、

このイオン注入された不純物を活性化して、ソース/ドレイン領域を形成する工程とを具備することを特徴とする半導体記憶装置の製造方法。

(3) 請求項(1)記載の半導体記憶装置において、

E<sup>2</sup>PROMおよびEPROMが持つ浮遊ゲートと、E<sup>2</sup>PROMの選択用MOSFET並びに周辺用MOSFETが持つゲートとが、それぞれ

第1および第2のゲート絶縁膜とは膜厚の異なる第3のゲート絶縁膜を形成する工程と、

全面に、E<sup>2</sup>PROMおよびEPROMの浮遊ゲートとなる第1の導電層を形成する工程と、

この第1の導電層のうち、E<sup>2</sup>PROMおよびEPROMの浮遊ゲートのセルスリット、E<sup>2</sup>PROMの選択用MOSFET並びに周辺用MOSFET形成領域に存在する第1の導電層を除去する工程と、

全面に第4のゲート絶縁膜を形成する工程と、

全面に、E<sup>2</sup>PROMおよびEPROMの制御ゲート、E<sup>2</sup>PROMの選択用MOSFET並びに周辺用MOSFETのゲートとなる第2の導電層を形成する工程と、

この第2の導電層を、E<sup>2</sup>PROMの選択用MOSFET並びに周辺用MOSFETのゲートの形状にパターンニングする工程と、

さらにこの第2の導電層を、E<sup>2</sup>PROMおよびEPROMの制御ゲートの形状にパターンニングし、これをマスクに引き続き上記第1の導電層を

異なる導電層にてなることを特徴とする半導体記憶装置。

(4) 半導体基板上にフィールド絶縁膜を形成し、素子領域としてE<sup>2</sup>PROM形成予定領域、EPROM形成予定領域、および周辺用MOSFET形成予定領域を得る工程と、

上記E<sup>2</sup>PROM形成予定領域に対して所定の不純物をイオン注入し、第1の不純物層を形成する工程と、

素子領域上に第1のゲート絶縁膜を形成する工程と、

上記EPROM形成予定領域および周辺用MOSFET形成予定領域上に形成された上記第1のゲート絶縁膜を剥離する工程と、

上記EPROM形成予定領域、および周辺用MOSFET形成予定領域上に上記第1のゲート絶縁膜と膜厚の異なる第2のゲート絶縁膜を形成する工程と、

上記第1の不純物層上の第1のゲート絶縁膜の一部を除去し、再度、この除去部分に対して、

E<sup>2</sup>PROMおよびEPROMの浮遊ゲートの形状にパターンニングする工程と、

上記E<sup>2</sup>PROMおよびEPROMの制御ゲート、E<sup>2</sup>PROMの選択用MOSFET並びに周辺用MOSFETのゲートをマスクにして、ソース/ドレイン領域形成用の不純物を、基板に対しイオン注入する工程と、

このイオン注入された不純物を活性化して、ソース/ドレイン領域を形成する工程とを具備することを特徴とする半導体記憶装置の製造方法。

(5) 請求項(3)記載の半導体記憶装置において、

E<sup>2</sup>PROMおよびEPROMが持つ浮遊ゲートと、制御ゲートとの間に、酸化膜と、酸化されにくい絶縁膜とが存在することを特徴とする半導体記憶装置。

(6) 半導体基板上にフィールド絶縁膜を形成し、素子領域としてE<sup>2</sup>PROM形成予定領域、EPROM形成予定領域、および周辺用MOSFET形成予定領域を得る工程と、

## 特開平3-126265 (3)

上記E<sup>2</sup> PROM形成予定領域に対して所定の不純物をイオン注入し、第1の不純物層を形成する工程と、

素子領域上に第1のゲート絶縁膜を形成する工程と、

上記E PROM形成予定領域、および周辺用MOSFET形成予定領域上に形成された上記第1のゲート絶縁膜を剥離する工程と、

上記E PROM形成予定領域、および周辺用MOSFET形成予定領域上に上記第1のゲート絶縁膜と膜厚の異なる第2のゲート絶縁膜を形成する工程と、

上記第1の不純物層上の第1のゲート絶縁膜の一部を除去し、再度、この除去部分に対して、第1および第2のゲート絶縁膜とは膜厚の異なる第3のゲート絶縁膜を形成する工程と、

全面に、E<sup>2</sup> PROMおよびE PROMの浮遊ゲートとなる第1の導電層を形成する工程と、

この第1の導電層のうち、E<sup>2</sup> PROMおよびE PROMの浮遊ゲートのセルスリット、

E<sup>2</sup> PROMの選択用MOSFET並びに周辺用MOSFET形成領域に存在する第1の導電層を除去する工程と、

全面に第4のゲート絶縁膜を構成する酸化膜層を形成する工程と、

全面に第4のゲート絶縁膜を構成する酸化されにくい絶縁膜層を形成する工程と、

全面に、E<sup>2</sup> PROMおよびE PROMの制御ゲート、E<sup>2</sup> PROMの選択用MOSFET並びに周辺用MOSFETのゲートとなる第2の導電層を形成する工程と、

この第2の導電層を、E<sup>2</sup> PROMの選択用MOSFET並びに周辺用MOSFETのゲートの形状にパターンニングする工程と、

さらにこの第2の導電層を、E<sup>2</sup> PROMおよびE PROMの制御ゲートの形状にパターンニングし、これをマスクに引き続き上記第1の導電層をE<sup>2</sup> PROMおよびE PROMの浮遊ゲートの形状にパターンニングする工程と、

上記E<sup>2</sup> PROMおよびE PROMの制御ゲ-

ト、E<sup>2</sup> PROMの選択用MOSFET並びに周辺用MOSFETのゲートをマスクにして、ソース/ドレイン領域形成用の不純物を、基板に対してイオン注入する工程と、

このイオン注入された不純物を活性化して、ソース/ドレイン領域を形成する工程とを具備することを特徴とする半導体記憶装置の製造方法。

(7) 請求項(1)あるいは(3)あるいは(5)記載の半導体記憶装置において、

E<sup>2</sup> PROMが持つ浮遊ゲートを構成する導電層と、E PROMが持つ浮遊ゲートを構成する導電層との面積抵抗値がそれぞれ異なることを特徴とする半導体記憶装置。

(8) 半導体基板上にフィールド絶縁膜を形成し、素子領域としてE<sup>2</sup> PROM形成予定領域、E PROM形成予定領域、および周辺用MOSFET形成予定領域を得る工程と、

上記E<sup>2</sup> PROM形成予定領域に対して所定の不純物をイオン注入し、第1の不純物層を形成する工程と、

素子領域上に第1のゲート絶縁膜を形成する工程と、

上記E PROM形成予定領域、および周辺用MOSFET形成予定領域上に形成された上記第1のゲート絶縁膜を剥離する工程と、

上記E PROM形成予定領域、および周辺用MOSFET形成予定領域上に上記第1のゲート絶縁膜と膜厚の異なる第2のゲート絶縁膜を形成する工程と、

上記第1の不純物層上の第1のゲート絶縁膜の一部を除去し、再度、この除去部分に対して、第1および第2のゲート絶縁膜とは膜厚の異なる第3のゲート絶縁膜を形成する工程と、

全面に、E<sup>2</sup> PROMおよびE PROMの浮遊ゲート、E<sup>2</sup> PROMの選択用MOSFET並びに周辺用MOSFETのゲートとなる第1の導電層を形成する工程と、

この第1の導電層のうち、E<sup>2</sup> PROMの浮遊ゲート形成予定領域上に不純物の遮断能力を持つ物質層を形成する工程と、

## 特開平3-126265 (4)

この物質層をマスクに、上記第1の導電層に対し不純物を導入し、この第1の導電層において、面積抵抗値が異なる領域を少なくとも1箇所形成する工程と、

この面積抵抗値の異なる領域が少なくとも1箇所形成された第1の導電層を、E<sup>2</sup>PROMおよびEPROMの浮遊ゲートのセルスリット、E<sup>2</sup>PROMの選択用MOSFET並びに周辺用MOSFETのゲートの形状にパターンニングする工程と、

全面に、第4のゲート絶縁膜を形成する工程と、

全面に、E<sup>2</sup>PROMおよびEPROMの制御ゲートとなる第2の導電層を形成する工程と、

この第2の導電層を、E<sup>2</sup>PROMおよびEPROMの制御ゲートの形状にパターンニングし、これをマスクに引き続き上記第1の導電層をE<sup>2</sup>PROMおよびEPROMの浮遊ゲートの形状にパターンニングする工程と、

上記E<sup>2</sup>PROMおよびEPROMの制御ゲート、E<sup>2</sup>PROMの選択用MOSFET並びに周

辺用MOSFETのゲートをマスクにして、ソース/ドレイン領域形成用の不純物を、基板に対しイオン注入する工程と、

このイオン注入された不純物を活性化して、ソース/ドレイン領域を形成する工程とを具備することを特徴とする半導体記憶装置の製造方法。

(9) 半導体基板上にフィールド絶縁膜を形成し、素子領域としてE<sup>2</sup>PROM形成予定領域、EPROM形成予定領域、および周辺用MOSFET形成予定領域を得る工程と、

上記E<sup>2</sup>PROM形成予定領域に対して所定の不純物をイオン注入し、第1の不純物層を形成する工程と、

素子領域上に第1のゲート絶縁膜を形成する工程と、

上記EPROM形成予定領域、および周辺用MOSFET形成予定領域上に形成された上記第1のゲート絶縁膜を剥離する工程と、

上記EPROM形成予定領域、および周辺用MOSFET形成予定領域上に上記第1のゲート

絶縁膜と膜厚の異なる第2のゲート絶縁膜を形成する工程と、

上記第1の不純物層上の第1のゲート絶縁膜の一部を除去し、再度、この除去部分に対して、第1および第2のゲート絶縁膜とは膜厚の異なる第3のゲート絶縁膜を形成する工程と、

全面に、E<sup>2</sup>PROMおよびEPROMの浮遊ゲートとなる第1の導電層を形成する工程と、

この第1の導電層のうち、E<sup>2</sup>PROMの浮遊ゲート形成予定領域上に不純物の遮断能力を持つ物質層を形成する工程と、

この物質層をマスクに、上記第1の導電層に対し不純物を導入し、この第1の導電層において、面積抵抗値が異なる領域を少なくとも1箇所形成する工程と、

この面積抵抗値の異なる領域が少なくとも1箇所形成された第1の導電層のうち、E<sup>2</sup>PROMおよびEPROMの浮遊ゲートのセルスリット、E<sup>2</sup>PROMの選択用MOSFET並びに周辺用MOSFET形成領域に存在する第1の導電層を

除去する工程と、

全面に第4のゲート絶縁膜を形成する工程と、

全面に、E<sup>2</sup>PROMおよびEPROMの制御ゲート、E<sup>2</sup>PROMの選択用MOSFET並びに周辺用MOSFETのゲートとなる第2の導電層を形成する工程と、

この第2の導電層を、E<sup>2</sup>PROMの選択用MOSFET並びに周辺用MOSFETのゲートの形状にパターンニングする工程と、

さらにこの第2の導電層を、E<sup>2</sup>PROMおよびEPROMの制御ゲートの形状にパターンニングし、これをマスクに引き続き上記第1の導電層をE<sup>2</sup>PROMおよびEPROMの浮遊ゲートの形状にパターンニングする工程と、

上記E<sup>2</sup>PROMおよびEPROMの制御ゲート、E<sup>2</sup>PROMの選択用MOSFET並びにMOSFETのゲートをマスクにして、ソース/ドレイン領域形成用の不純物を、基板に対しイオン注入する工程と、

このイオン注入された不純物を活性化して、ソ

## 特開平3-126265 (5)

ース/ドレイン領域を形成する工程とを具備することとを特徴とする半導体記憶装置の製造方法。

(10) 半導体基板上にフィールド絶縁膜を形成し、素子領域としてE<sup>2</sup>PR<sup>2</sup>OM形成予定領域、EPR<sup>2</sup>OM形成予定領域、および周辺用MOSFET形成予定領域を得る工程と、

上記E<sup>2</sup>PR<sup>2</sup>OM形成予定領域に対して所定の不純物をイオン注入し、第1の不純物層を形成する工程と、

素子領域上に第1のゲート絶縁膜を形成する工程と、

上記EPR<sup>2</sup>OM形成予定領域、および周辺用MOSFET形成予定領域上に形成された上記第1のゲート絶縁膜を剥離する工程と、

上記EPR<sup>2</sup>OM形成予定領域、および周辺用MOSFET形成予定領域上に上記第1のゲート絶縁膜と膜厚の異なる第2のゲート絶縁膜を形成する工程と、

上記第1の不純物層上の第1のゲート絶縁膜の一部を除去し、即ち、この除去部分に対して、

にくい絶縁膜を形成する工程と、

全面に、E<sup>2</sup>PR<sup>2</sup>OMおよびEPR<sup>2</sup>OMの制御ゲート、E<sup>2</sup>PR<sup>2</sup>OMの選択用MOSFET並びに周辺用MOSFETのゲートとなる第2の導電層を形成する工程と、

この第2の導電層を、E<sup>2</sup>PR<sup>2</sup>OMの選択用MOSFET並びに周辺用MOSFETのゲートの形状にパターニングする工程と、

さらにこの第2の導電層を、E<sup>2</sup>PR<sup>2</sup>OMおよびEPR<sup>2</sup>OMの制御ゲートの形状にパターニングし、これをマスクに引き続き上記第1の導電層をE<sup>2</sup>PR<sup>2</sup>OMおよびEPR<sup>2</sup>OMの浮遊ゲートの形状にパターニングする工程と、

上記E<sup>2</sup>PR<sup>2</sup>OMおよびEPR<sup>2</sup>OMの制御ゲート、E<sup>2</sup>PR<sup>2</sup>OMの選択用MOSFET並びに周辺用MOSFETのゲートをマスクにして、ソース/ドレイン領域形成用の不純物を、基板に対してイオン注入する工程と、

このイオン注入された不純物を活性化して、ソース/ドレイン領域を形成する工程とを具備する

第1および第2のゲート絶縁膜とは膜厚の異なる第3のゲート絶縁膜を形成する工程と、

全面に、E<sup>2</sup>PR<sup>2</sup>OMおよびEPR<sup>2</sup>OMの浮遊ゲートとなる第1の導電層を形成する工程と、

この第1の導電層のうち、E<sup>2</sup>PR<sup>2</sup>OMの浮遊ゲート形成予定領域上に不純物の遮断能力を持つ物質層を形成する工程と、

この物質層をマスクに、上記第1の導電層に対し不純物を導入し、この第1の導電層において、面積抵抗値が異なる領域を少なくとも1箇所形成する工程と、

この面積抵抗値の異なる領域が少なくとも1箇所形成された第1の導電層のうち、E<sup>2</sup>PR<sup>2</sup>OMおよびEPR<sup>2</sup>OMの浮遊ゲートのセルスリット、E<sup>2</sup>PR<sup>2</sup>OMの選択用MOSFET並びに周辺用MOSFET形成領域に存在する第1の導電層を除去する工程と、

全面に第4のゲート絶縁膜を構成する酸化膜層を形成する工程と、

全面に第4のゲート絶縁膜を構成する酸化され

ことを特徴とする半導体記憶装置の製造方法。

## 3. 発明の詳細な説明

## 〔発明の目的〕

## 〔従来の利用分野〕

この発明は半導体記憶装置およびその製造方法に関し、特に素子線により記憶消去が可能なメモリセルと、電氣的に記憶消去が可能なメモリセルとを同一チップ上に混載した半導体記憶装置およびその製造方法に関する。

## 〔従来の技術〕

従来、1チップ上にSRAMと、EPR<sup>2</sup>OMとを混載した1チップマイクロコンピュータがよく知られている。このような、1チップマイクロコンピュータは、書き替える必要があるデータと、書き替える必要がほとんどないデータとがある場合に用いられている。例えば書き替える必要があるデータを記憶させる場合には、揮発性メモリであるSRAMで構成されたメモリ部に記憶させ、書き替える必要がほとんどないデータを記憶させる場合には、不揮発性メモリであるEPR<sup>2</sup>OMで

## 特開平3-126265 (6)

構成されたメモリ部に記憶させる。

ところで、上記EPRROMで構成されたメモリ部は、他のROMで構成しても構わないが、EPRROMで構成することにより、メーカー側でデータを書き込む（装置内に作り込む）必要がなく、ユーザー側で任意なデータを書き込み、非常に便利で、かつ汎用性の高い製品となる。

しかし、上記1チップマイクロコンピュータでは、書き替える必要があるデータを記憶させるメモリ部がSRAMにて構成されているため、チップ上で、このメモリ部が占める割合が大きいものとなっている。よって、上記SRAMと、EPRROMとを混装した1チップマイクロコンピュータのチップサイズは、大きいものとなっている。

（発明が解決しようとする課題）

この発明は上記のような点に鑑みて為されたもので、書き替える必要があるデータを記憶する記憶部と、書き替える必要がほとんどないデータを記憶する記憶部とを合せ持つチップサイズの縮

小された1チップマイクロコンピュータを提供することを目的とする。

〔発明の構成〕

（課題を解決するための手段）

この発明による第1の半導体記憶装置によれば、同一半導体基板上に、E<sup>2</sup>PRROMにて構成された第1の記憶部と、EPRROMにて構成された第2の記憶部と、MOSFETにて構成された周辺部とを少なくとも具備していることを特徴とする。

また、この第1の半導体記憶装置の製造方法は、半導体基板上にフィールド絶縁膜を形成し、素子領域としてE<sup>2</sup>PRROM形成予定領域、EPRROM形成予定領域、および周辺用MOSFET形成予定領域を得る工程と、

上記E<sup>2</sup>PRROM形成予定領域に対して所定の不純物をイオン注入し、第1の不純物層を形成する工程と、

素子領域上に第1のゲート絶縁膜を形成する工程と、

上記EPRROM形成予定領域、および周辺用MOSFET形成予定領域上に形成された上記第1のゲート絶縁膜を剥離する工程と、

上記EPRROM形成予定領域、および周辺用MOSFET形成予定領域上に上記第1のゲート絶縁膜と膜厚の異なる第2のゲート絶縁膜を形成する工程と、

上記第1の不純物層上の第1のゲート絶縁膜の一部を除去し、再度、この除去部分に対して、第1および第2のゲート絶縁膜とは膜厚の異なる第3のゲート絶縁膜を形成する工程と、

全面に、E<sup>2</sup>PRROMおよびEPRROMの浮遊ゲート、E<sup>2</sup>PRROMの選択用MOSFET並びに周辺用MOSFETのゲートとなる第1の導電層を形成する工程と、

この第1の導電層を、E<sup>2</sup>PRROMおよびEPRROMの浮遊ゲートのセルスリット、E<sup>2</sup>PRROMの選択用MOSFET並びに周辺用MOSFETのゲートの形状にパターニングする工程と、

全面に、第4のゲート絶縁膜を形成する工程と、全面に、E<sup>2</sup>PRROMおよびEPRROMの制御ゲートとなる第2の導電層を形成する工程と、

この第2の導電層を、E<sup>2</sup>PRROMおよびEPRROMの制御ゲートの形状にパターニングし、これをマスクに引き抜き上記第1の導電層をE<sup>2</sup>PRROMおよびEPRROMの浮遊ゲートの形状にパターニングする工程と、

上記E<sup>2</sup>PRROMおよびEPRROMの制御ゲート、E<sup>2</sup>PRROMの選択用MOSFET並びに周辺用MOSFETのゲートをマスクにして、ソース/ドレイン領域形成用の不純物を、基板に対してイオン注入する工程と、

このイオン注入された不純物を活性化して、ソース/ドレイン領域を形成する工程とを具備することを特徴とする。

この発明による第2の半導体記憶装置によれば、同一半導体基板上に、E<sup>2</sup>PRROMにて構成された第1の記憶部と、EPRROMにて構成された第2の記憶部と、MOSFETにて構成された



## 特開平3-126265 (7)

周辺部とを具備してなる半導体記憶装置において、 $E^2$  PROMおよびEPROMのが持つ浮遊ゲートと、MOSFETが持つゲートとが、それぞれ異なる導電層にてなることを特徴とする。

また、この第2の半導体記憶装置の製造方法は、半導体基板上にフィールド絶縁膜を形成し、素子領域として $E^2$  PROM形成予定領域、EPROM形成予定領域、および周辺用MOSFET形成予定領域を得る工程と、

上記 $E^2$  PROM形成予定領域に対して所定の不純物をイオン注入し、第1の不純物層を形成する工程と、

素子領域上に第1のゲート絶縁膜を形成する工程と、

上記EPROM形成予定領域および周辺用MOSFET形成予定領域上に形成された上記第1のゲート絶縁膜を剥離する工程と、

上記EPROM形成予定領域、および周辺用MOSFET形成予定領域上に上記第1のゲート絶縁膜と膜厚の異なる第2のゲート絶縁膜を形成

する工程と、

上記第1の不純物層上の第1のゲート絶縁膜の一部を除去し、再度、この除去部分に対して、第1および第2のゲート絶縁膜とは膜厚の異なる第3のゲート絶縁膜を形成する工程と、

全面に、 $E^2$  PROMおよびEPROMの浮遊ゲートとなる第1の導電層を形成する工程と、

この第1の導電層のうち、 $E^2$  PROMおよびEPROMの浮遊ゲートのセルスリット、 $E^2$  PROMの選択用MOSFET並びに周辺用MOSFET形成領域に存在する第1の導電層を除去する工程と、

全面に第4のゲート絶縁膜を形成する工程と、

全面に、 $E^2$  PROMおよびEPROMの制御ゲート、 $E^2$  PROMの選択用MOSFET並びに周辺用MOSFETのゲートとなる第2の導電層を形成する工程と、

この第2の導電層を、 $E^2$  PROMの選択用MOSFET並びに周辺用MOSFETのゲートの形状にパターニングする工程と、

さらにこの第2の導電層を、 $E^2$  PROMおよびEPROMの制御ゲートの形状にパターニングし、これをマスクに引き続き上記第1の導電層を $E^2$  PROMおよびEPROMの浮遊ゲートの形状にパターニングする工程と、

上記 $E^2$  PROMおよびEPROMの制御ゲート、 $E^2$  PROMの選択用MOSFET並びに周辺用MOSFETのゲートをマスクにして、ソース/ドレイン領域形成用の不純物を、基板に対しイオン注入する工程と、

このイオン注入された不純物を焙焼化して、ソース/ドレイン領域を形成する工程とを具備することを特徴とする。

この発明による第3の半導体記憶装置によれば、同一半導体基板上に、 $E^2$  PROMにて構成された第1の記憶部と、EPROMにて構成された第2の記憶部と、MOSFETにて構成された周辺部とを具備し、上記 $E^2$  PROMおよびEPROMのが持つ浮遊ゲートと、MOSFETが持つゲートとが、それぞれ異なる導電層にてな

る半導体記憶装置において、 $E^2$  PROMおよびEPROMが持つ浮遊ゲートと、制御ゲートとの間に、酸化膜と、酸化されにくい絶縁膜とが存在することを特徴とする。

また、この第3の半導体記憶装置の製造方法は、半導体基板上にフィールド絶縁膜を形成し、素子領域として $E^2$  PROM形成予定領域、EPROM形成予定領域、および周辺用MOSFET形成予定領域を得る工程と、

上記 $E^2$  PROM形成予定領域に対して所定の不純物をイオン注入し、第1の不純物層を形成する工程と、

素子領域上に第1のゲート絶縁膜を形成する工程と、

上記EPROM形成予定領域、および周辺用MOSFET形成予定領域上に形成された上記第1のゲート絶縁膜を剥離する工程と、

上記EPROM形成予定領域、および周辺用MOSFET形成予定領域上に上記第1のゲート絶縁膜と膜厚の異なる第2のゲート絶縁膜を形成

## 特開平3-126265 (8)

する工程と、

上記第1の不純物層上の第1のゲート絶縁膜の一部を除去し、再度、この除去部分に対して、第1および第2のゲート絶縁膜とは膜厚の異なる第3のゲート絶縁膜を形成する工程と、

全面に、E<sup>2</sup> PROMおよびEPROMの浮遊ゲートとなる第1の導電層を形成する工程と、

この第1の導電層のうち、E<sup>2</sup> PROMおよびEPROMの浮遊ゲートのセルスリット、E<sup>2</sup> PROMの選択用MOSFET並びに周辺用MOSFET形成領域に存在する第1の導電層を除去する工程と、

全面に第4のゲート絶縁膜を形成する酸化膜層を形成する工程と、

全面に第4のゲート絶縁膜を形成する酸化されにくい絶縁膜層を形成する工程と、

全面に、E<sup>2</sup> PROMおよびEPROMの制御ゲート、E<sup>2</sup> PROMの選択用MOSFET並びに周辺用MOSFETのゲートとなる第2の導電層を形成する工程と、

周辺部とを具備してなる半導体記憶装置において、E<sup>2</sup> PROMが持つ浮遊ゲートを構成する導電層と、EPROMが持つ浮遊ゲートを構成する導電層との面積抵抗値がそれぞれ異なることを特徴とする。

また、この第4の半導体記憶装置の製造方法は、半導体基板上にフィールド絶縁膜を形成し、素子領域としてE<sup>2</sup> PROM形成予定領域、EPROM形成予定領域、および周辺用MOSFET形成予定領域を得る工程と、

上記E<sup>2</sup> PROM形成予定領域に対して所定の不純物をイオン注入し、第1の不純物層を形成する工程と、

素子領域上に第1のゲート絶縁膜を形成する工程と、

上記EPROM形成予定領域、および周辺用MOSFET形成予定領域上に形成された上記第1のゲート絶縁膜を剥離する工程と、

上記EPROM形成予定領域、および周辺用MOSFET形成予定領域上に上記第1のゲート

この第2の導電層を、E<sup>2</sup> PROMの選択用MOSFET並びに周辺用MOSFETのゲートの形状にパターンニングする工程と、

さらにこの第2の導電層を、E<sup>2</sup> PROMおよびEPROMの制御ゲートの形状にパターンニングし、これをマスクに引き続き上記第1の導電層をE<sup>2</sup> PROMおよびEPROMの浮遊ゲートの形状にパターンニングする工程と、

上記E<sup>2</sup> PROMおよびEPROMの制御ゲート、E<sup>2</sup> PROMの選択用MOSFET並びに周辺用MOSFETのゲートをマスクにして、ソース/ドレイン領域形成用の不純物を、基板に対しイオン注入する工程と、

このイオン注入された不純物を活性化して、ソース/ドレイン領域を形成する工程とを具備することを特徴とする。

この発明による第4の半導体記憶装置によれば、同一半導体基板上に、E<sup>2</sup> PROMにて構成された第1の記憶部と、EPROMにて構成された第2の記憶部と、MOSFETにて構成された

絶縁膜と膜厚の異なる第2のゲート絶縁膜を形成する工程と、

上記第1の不純物層上の第1のゲート絶縁膜の一部を除去し、再度、この除去部分に対して、第1および第2のゲート絶縁膜とは膜厚の異なる第3のゲート絶縁膜を形成する工程と、

全面に、E<sup>2</sup> PROMおよびEPROMの浮遊ゲート、E<sup>2</sup> PROMの選択用MOSFET並びに周辺用MOSFETのゲートとなる第1の導電層を形成する工程と、

この第1の導電層のうち、E<sup>2</sup> PROMの浮遊ゲート形成予定領域上に不純物の遮断能力を持つ物質層を形成する工程と、

この物質層をマスクに、上記第1の導電層に対し不純物を導入し、この第1の導電層において、面積抵抗値が異なる領域を少なくとも1箇所形成する工程と、

この面積抵抗値の異なる領域が少なくとも1箇所形成された第1の導電層を、E<sup>2</sup> PROMおよびEPROMの浮遊ゲートのセルスリット、

## 特開平3-126265 (9)

E<sup>2</sup> PROMの選択用MOSFET並びに周辺用MOSFETのゲートの形状にパターンニングする工程と、

全面に、第4のゲート絶縁膜を形成する工程と、

全面に、E<sup>2</sup> PROMおよびEPROMの制御ゲートとなる第2の導電層を形成する工程と、

この第2の導電層を、E<sup>2</sup> PROMおよびEPROMの制御ゲートの形状にパターンニングし、これをマスクに引き続き上記第1の導電層をE<sup>2</sup> PROMおよびEPROMの浮遊ゲートの形状にパターンニングする工程と、

上記E<sup>2</sup> PROMおよびEPROMの制御ゲート、E<sup>2</sup> PROMの選択用MOSFET並びに周辺用MOSFETのゲートをマスクにして、ソース/ドレイン領域形成用の不純物を、基板に対してイオン注入する工程と、

このイオン注入された不純物を活性化して、ソース/ドレイン領域を形成する工程とを具備することを特徴とする。

この発明による第5の半導体記憶装置によれ

ば、同一半導体基板上に、E<sup>2</sup> PROMにて構成された第1の記憶部と、EPROMにて構成された第2の記憶部と、MOSFETにて構成された周辺部とを具備し、上記E<sup>2</sup> PROMおよびEPROMのが持つ浮遊ゲートと、MOSFETが持つゲートとが、それぞれ異なる導電層にてなる半導体記憶装置において、E<sup>2</sup> PROMが持つ浮遊ゲートを構成する導電層と、EPROMが持つ浮遊ゲートを構成する導電層との面積抵抗値がそれぞれ異なることを特徴とする。

また、この第5の半導体記憶装置の製造方法は、半導体基板上にフィールド絶縁膜を形成し、素子領域としてE<sup>2</sup> PROM形成予定領域、EPROM形成予定領域、および周辺用MOSFET形成予定領域を併る工程と、

上記E<sup>2</sup> PROM形成予定領域に対して所定の不純物をイオン注入し、第1の不純物層を形成する工程と、

素子領域上に第1のゲート絶縁膜を形成する工程と、

この面積抵抗値の異なる領域が少なくとも1箇所形成された第1の導電層のうち、E<sup>2</sup> PROMおよびEPROMの浮遊ゲートのセルスリット、E<sup>2</sup> PROMの選択用MOSFET並びに周辺用MOSFET形成領域に存在する第1の導電層を除去する工程と、

全面に第4のゲート絶縁膜を形成する工程と、

全面に、E<sup>2</sup> PROMおよびEPROMの制御ゲート、E<sup>2</sup> PROMの選択用MOSFET並びに周辺用MOSFETのゲートとなる第2の導電層を形成する工程と、

この第2の導電層を、E<sup>2</sup> PROMの選択用MOSFET並びに周辺用MOSFETのゲートの形状にパターンニングする工程と、

さらにこの第2の導電層を、E<sup>2</sup> PROMおよびEPROMの制御ゲートの形状にパターンニングし、これをマスクに引き続き上記第1の導電層をE<sup>2</sup> PROMおよびEPROMの浮遊ゲートの形状にパターンニングする工程と、

上記E<sup>2</sup> PROMおよびEPROMの制御ゲー

上記EPROM形成予定領域、および周辺用MOSFET形成予定領域上に形成された上記第1のゲート絶縁膜を剥離する工程と、

上記EPROM形成予定領域、および周辺用MOSFET形成予定領域上に上記第1のゲート絶縁膜と膜厚の異なる第2のゲート絶縁膜を形成する工程と、

上記第1の不純物層上の第1のゲート絶縁膜の一部を除去し、再度、この除去部分に対して、第1および第2のゲート絶縁膜とは膜厚の異なる第3のゲート絶縁膜を形成する工程と、

全面に、E<sup>2</sup> PROMおよびEPROMの浮遊ゲートとなる第1の導電層を形成する工程と、

この第1の導電層のうち、E<sup>2</sup> PROMの浮遊ゲート形成予定領域上に不純物の遮断能力を持つ物質層を形成する工程と、

この物質層をマスクに、上記第1の導電層に対し不純物を導入し、この第1の導電層において、面積抵抗値が異なる領域を少なくとも1箇所形成する工程と、

## 特開平3-126265 (10)

ト、E<sup>2</sup> PROMの選択用MOSFET並びにMOSFETのゲートをマスクにして、ソース/ドレイン領域形成用の不純物を、基板に対しイオン注入する工程と、

このイオン注入された不純物を活性化して、ソース/ドレイン領域を形成する工程とを具備することを特徴とする。

この発明による第5の半導体記憶装置によれば、同一半導体基板上に、E<sup>2</sup> PROMにて構成された第1の記憶部と、EPROMにて構成された第2の記憶部と、MOSFETにて構成された周辺部とを具備し、かつ上記E<sup>2</sup> PROMおよびEPROMの持つ浮遊ゲートと、MOSFETが持つゲートとが、それぞれ異なる導電層にてなり、上記E<sup>2</sup> PROMおよびEPROMが持つ浮遊ゲートと、制御ゲートとの間に、酸化膜と、酸化されにくい絶縁膜とが存在する半導体記憶装置において、E<sup>2</sup> PROMが持つ浮遊ゲートを構成する導電層と、EPROMが持つ浮遊ゲートを構成する導電層との面積抵抗値がそれぞれ異なるこ

とを特徴とする。

また、この第5の半導体記憶装置の製造方法は、半導体基板上にフィールド絶縁膜を形成し、素子領域としてE<sup>2</sup> PROM形成予定領域、EPROM形成予定領域、および周辺用MOSFET形成予定領域を得る工程と、

上記E<sup>2</sup> PROM形成予定領域に対して所定の不純物をイオン注入し、第1の不純物層を形成する工程と、

素子領域上に第1のゲート絶縁膜を形成する工程と、

上記EPROM形成予定領域、および周辺用MOSFET形成予定領域上に形成された上記第1のゲート絶縁膜を剥離する工程と、

上記EPROM形成予定領域、および周辺用MOSFET形成予定領域上に上記第1のゲート絶縁膜と膜厚の異なる第2のゲート絶縁膜を形成する工程と、

上記第1の不純物層上の第1のゲート絶縁膜の一部を除去し、再度、この除去部分に対して、

第1および第2のゲート絶縁膜とは膜厚の異なる第3のゲート絶縁膜を形成する工程と、

全面に、E<sup>2</sup> PROMおよびEPROMの浮遊ゲートとなる第1の導電層を形成する工程と、

この第1の導電層のうち、E<sup>2</sup> PROMの浮遊ゲート形成予定領域上に不純物の遮断能力を持つ物質層を形成する工程と、

この物質層をマスクに、上記第1の導電層に対し不純物を導入し、この第1の導電層において、面積抵抗値が異なる領域を少なくとも1箇所形成する工程と、

この面積抵抗値の異なる領域が少なくとも1箇所形成された第1の導電層のうち、E<sup>2</sup> PROMおよびEPROMの浮遊ゲートのセルスリット、E<sup>2</sup> PROMの選択用MOSFET並びに周辺用MOSFET形成領域に存在する第1の導電層を除去する工程と、

全面に第4のゲート絶縁膜を形成する酸化膜層を形成する工程と、

全面に第4のゲート絶縁膜を形成する酸化され

にくい絶縁膜層を形成する工程と、

全面に、E<sup>2</sup> PROMおよびEPROMの制御ゲート、E<sup>2</sup> PROMの選択用MOSFET並びに周辺用MOSFETのゲートとなる第2の導電層を形成する工程と、

この第2の導電層を、E<sup>2</sup> PROMの選択用MOSFET並びに周辺用MOSFETのゲートの形状にパターニングする工程と、

さらにこの第2の導電層を、E<sup>2</sup> PROMおよびEPROMの制御ゲートの形状にパターニングし、これをマスクに引き焼き上記第1の導電層をE<sup>2</sup> PROMおよびEPROMの浮遊ゲートの形状にパターニングする工程と、

上記E<sup>2</sup> PROMおよびEPROMの制御ゲート、E<sup>2</sup> PROMの選択用MOSFET並びに周辺用MOSFETのゲートをマスクにして、ソース/ドレイン領域形成用の不純物を、基板に対しイオン注入する工程と、

このイオン注入された不純物を活性化して、ソース/ドレイン領域を形成する工程とを具備する

## 特開平3-126265 (11)

ことを特徴とする。

## (作用)

上記のような第1ないし第6の半導体記憶装置にあっては、 $E^2$  PROMにて構成された記憶部において、電気的に記憶消去が可能であるため、データの随時書き替えというRAM動作が可能であり、よって、例えばチップ上に形成されているSRAMとの直自換えが可能である。しかも、従来のSRAMに比較して、その1セル当りの面積は約1/5であることから、上記第1ないし第6の半導体記憶装置のチップサイズは小さくなる。

さらに、この $E^2$  PROMにて構成された記憶部においては、従来のSRAMではできなかったデータの記憶というROM動作も可能になることから、上記第1ないし第6の半導体記憶装置の機能性は高いものになる。

上記第1の半導体記憶装置の製造方法によれば、 $E^2$  PROM形成領域に存在する第1ゲート絶縁膜と、トンネル絶縁膜と、EPROM形成領域およびMOSFET形成領域に存在する第1ゲート

絶縁膜とを、それぞれ異なる膜厚に形成して、 $E^2$  PROMと、EPROMと、MOSFETとが同一チップに形成できるようになる。

上記第2の半導体記憶装置の製造方法によれば、 $E^2$  PROM形成領域の $E^2$  PROMセルの第1ゲート絶縁膜と、トンネル絶縁膜と、EPROM形成領域の第1ゲート絶縁膜と、MOSFET形成領域および $E^2$  PROM形成領域の選択トランジスタの第1ゲート絶縁膜とを、それぞれ異なる膜厚に形成して、さらに、 $E^2$  PROMおよびEPROMの浮遊ゲートと、MOSFET( $E^2$  PROMの選択トランジスタを含む)のゲートとを、それぞれ異なる導電層にて形成して、 $E^2$  PROMと、EPROMと、MOSFETとが同一チップに形成できるようになる。

上記第3の半導体記憶装置の製造方法によれば、 $E^2$  PROM形成領域の $E^2$  PROMセルの第1ゲート絶縁膜と、トンネル絶縁膜と、EPROM形成領域の第1ゲート絶縁膜と、MOSFET形成領域および $E^2$  PROM形成領域の選択トラン

ジスタの第1ゲート絶縁膜とを、それぞれ異なる膜厚に形成して、さらに、 $E^2$  PROMおよびEPROMの浮遊ゲートと、MOSFET( $E^2$  PROMの選択トランジスタを含む)のゲートとを、それぞれ異なる導電層にて形成して、 $E^2$  PROMと、MOSFETとが同一チップに形成できるようになる。しかも、MOSFET( $E^2$  PROMの選択トランジスタを含む)のチャネル領域に対するチャネルインプラの際には、犠牲酸化膜の導入が可能となる。

上記第4の半導体記憶装置の製造方法によれば、第1の半導体記憶装置の製造方法の作用に加えて、 $E^2$  PROMの浮遊ゲートと、EPROMの浮遊ゲートとの面積抵抗値とを、互いに異ならせて形成できるようになる。

上記第5の半導体記憶装置の製造方法によれば、第2の半導体記憶装置の製造方法の作用に加えて、 $E^2$  PROMの浮遊ゲートと、EPROMの浮遊ゲートとの面積抵抗値とを、互いに異ならせて形成できるようになる。

上記第6の半導体記憶装置の製造方法によれば、第3の半導体記憶装置の製造方法の作用に加えて、 $E^2$  PROMの浮遊ゲートと、EPROMの浮遊ゲートとの面積抵抗値とを、互いに異ならせて形成できるようになる。

## (実施例)

以下、図面を参照して、この発明の実施例に係わる半導体記憶装置およびその製造方法について説明する。

第1図は、この発明の第1の実施例に係わる半導体記憶装置の概念を示す断面図である。

第2図(a)ないし第2図(h)は、第1図に示す半導体記憶装置を製造工程順に示した断面図である。

まず、第1図の断面図に示すように、半導体基板1上には、フィールド酸化膜2が形成され、 $E^2$  PROM形成領域、EPROM形成領域、および周辺用MOSFET形成領域の各能動素子領域に、それぞれ分離されている。

これらの能動素子領域のうち、まず、

## 特開平3-126265 (12)

EPROM形成領域における能動素子の構造について説明する。EPROM形成領域における基板1の表面領域には、基板1とは反対導電型のソース/ドレイン領域3が2箇所に形成されている。これらのソース/ドレイン領域3の相互間には、第2のソース/ドレイン領域3'が1箇所形成されている。第2のソース/ドレイン領域3'には、これに接して、基板1とは反対導電型の不純物層4が形成されている。ソース/ドレイン領域3と、第2のソース/ドレイン領域3'との相互間に形成されるチャネル領域上には、第1ゲート酸化膜5が形成されている。この第1ゲート酸化膜5の膜厚は、例えば430Å程度である。ただし、不純物層4上に存在する第1ゲート酸化膜5には、一部、膜厚が、例えば100Å程度のトンネル酸化膜5'が設けられている。これらの第1ゲート酸化膜5、およびトンネル酸化膜5'上には、第1層ポリシリコン層にて形成された浮遊ゲート6が形成されている。選択用MOSFET側に存在するソース/ドレイン領域3と、第2の

ソース/ドレイン領域3'との相互間に形成されるチャネル領域上には、選択用MOSFETの第1ゲート酸化膜7が形成されている。この第1ゲート酸化膜7の膜厚は、第1ゲート酸化膜5の膜厚と同じであり、例えば430Å程度である。この第1ゲート酸化膜7上には、第1層ポリシリコン層にて形成された選択用MOSFETのゲート8が形成されている。

一方、浮遊ゲート6上には、第2ゲート酸化膜9が形成されている。この第2ゲート酸化膜9上には、第2層ポリシリコン層にて形成された制御ゲート10が形成されている。全面には、層間絶縁膜11が形成され、この層間絶縁膜11には、ソース/ドレイン領域3に通じるコンタクト孔12が開孔されている。このコンタクト孔12内には、例えばアルミニウムからなる配線12'が形成されている。さらに、層間絶縁膜11上には、表面保護膜13が形成されている。

次に、EPROM形成領域における能動素子の構造について説明する。EPROM形成領域にお

ける基板1の表面領域には、基板1とは反対導電型のソース/ドレイン領域14が2箇所に形成されている。これらのソース/ドレイン領域14の相互間に存在するチャネル領域上には、第1ゲート酸化膜15が形成されている。この第1ゲート酸化膜15の膜厚は、例えば250Å程度である。この第1ゲート酸化膜15上には、第1層ポリシリコン層にて形成された浮遊ゲート16が形成されている。この浮遊ゲート16上には、第2ゲート酸化膜17が形成されている。この第2ゲート酸化膜17上には、第2層ポリシリコン層にて形成された制御ゲート18が形成されている。全面には、層間絶縁膜11が形成され、この層間絶縁膜11には、ソース/ドレイン領域14に通じるコンタクト孔19が開孔されている。このコンタクト孔19内には、例えばアルミニウムからなる配線19'が形成されている。さらに、層間絶縁膜11上には、表面保護膜13が形成されている。

尚、図示する2<sup>nd</sup> PROMおよびEPROMは、ソースおよびドレインにおのおの配線が接続され

た、いわゆる2バス方式のものである。

次に、周辺用MOSFET形成領域における能動素子の構造について説明する。MOSFET形成領域における基板1の表面領域には、基板1とは反対導電型のソース/ドレイン領域20が2箇所に形成されている。これらのソース/ドレイン領域20の相互間に存在するチャネル領域上には、第1ゲート酸化膜21が形成されている。この第1ゲート酸化膜21の膜厚は、第1ゲート酸化膜15と同じであり、例えば250Å程度である。この第1ゲート酸化膜21上には、第1層ポリシリコン層にて形成されたゲート22が形成されている。全面には、層間絶縁膜11が形成され、この層間絶縁膜11には、ソース/ドレイン領域20に通じるコンタクト孔23が開孔されている。このコンタクト孔23内には、例えばアルミニウムからなる配線23'が形成されている。さらに、層間絶縁膜11上には、表面保護膜13が形成されている。

第1の実施例に係わる半導体記憶装置は、以上

## 特開平3-126265 (13)

のような構造となっている。

このような、第1の実施例に係わる半導体記憶装置によれば、E<sup>2</sup> PROMと、E PROMとが同一基板1上に混載されている。したがって、1チップ上に、E<sup>2</sup> PROMにて構成され、電気的に記憶消去が可能である記憶部と、E PROMにて構成され、紫外線照射により記憶消去が可能である記憶部とを備えた半導体記憶装置が実現される。

また、E<sup>2</sup> PROMは、電気的に記憶の消去が可能であるため、データの随時書き換えというRAM動作が可能である。そこで、従来のSRAM、E PROM混載1チップマイクロコンピュータにおいて、SRAMを、E<sup>2</sup> PROMと置き換えることが可能である。しかも、E<sup>2</sup> PROMは、SRAMに比較して、その1セル当りの面積が約1/5であることから、第1の実施例に係わる半導体記憶装置のチップサイズは小さいものとなる。

さらに、このE<sup>2</sup> PROMにて構成された記憶

部では、従来のSRAMではできなかった不揮発性のデータ記憶というROM動作も可能であり。よって、入力されたデータは、全て消去されるものではなく、必要に応じてデータの記憶が可能となり、1チップマイクロコンピュータの機能は、より高いものとなる。

さらに、本発明の効果としては、従来のE PROM搭載半導体記憶装置と、E<sup>2</sup> PROM搭載半導体記憶装置とを、それぞれ1チップにモノリシック化することも可能であり、例えばシステムの簡略化、高機能化等にも貢献できる。

次に、第2図(a)ないし第2図(b)を参照して、第1の実施例に係わる半導体記憶装置の製造方法について説明する。第2図(a)ないし第2図(b)において、各参照する符号は、第1図と対応するものとする。

まず、第2図(a)に示すように、例えばp型半導体基板1（ここでは、便宜上、基板1をp型とした場合について説明をする）上に、例えば公知であるLOCOS法により、フィールド酸化層

2を選択的に形成し、E<sup>2</sup> PROM形成領域、E PROM形成領域、および周辺用MOSFET形成領域の各能動素子領域に、それぞれ分離する。次に、露出している基板1の表面に、例えば熱酸化法により、第1の熱酸化膜24を形成する。次に、E<sup>2</sup> PROM形成領域における基板1の所定の場所に対して、例えば図示しないハトリレジストによるマスクを用いて、選択的に、n型不純物であるヒ素をイオン注入し、n型不純物層4を形成する。

次に、第2図(b)に示すように、E PROM形成領域、および周辺用MOSFET形成領域上に形成されている第1の熱酸化膜24を除去し、例えば基板1表面を露出させる。

次に、第2図(c)に示すように、E PROM形成領域、および周辺用MOSFET形成領域における基板1の露出面に、例えば熱酸化法により、第2の熱酸化膜25を形成する。このとき、熱酸化時の熱により、第1の熱酸化膜24も成長し、膜厚が若干厚くなる。

次に、第2図(d)に示すように、E<sup>2</sup> PROM形成領域におけるn型不純物層4上に存在する第1の熱酸化膜24を、一部、例えば図示しないハトリレジストを用いた写真蝕刻法によって除去し、基板1が露出した除去部26を形成する。次に、この除去部26内に、例えば熱酸化法により、第3の熱酸化膜27を形成する。このとき、熱酸化時の熱により、第1の熱酸化膜24、および第2の熱酸化膜25も成長し、膜厚が若干厚くなる。

次に、第2図(e)に示すように、全面に、例えばCVD法により、第1層ポリシリコン層28を形成する。ここで、第1の熱酸化膜24、第2の熱酸化膜25、および第3の熱酸化膜27の成長は、ほぼ止まる。このときの膜厚は、例えばそれぞれ約430Å、約250Å、および約100Åである。これらの膜厚値は、上記値に限られるものではなく、それぞれ適切な膜厚値に設定してよいことは勿論である。ところで、実施例中における第1の熱酸化膜24の膜厚は、第1図

## 特開平3-126265 (14)

に図示する第1ゲート酸化膜5および7の膜厚に、ほぼ等しいものとなる。同様に、第2の熱酸化膜25の膜厚は、第1ゲート酸化膜15、並びに第1ゲート酸化膜21の膜厚に、ほぼ等しいものとなり、第3の熱酸化膜27の膜厚は、トンネル酸化膜5'の膜厚に、ほぼ等しいものとなる。次に、第1層ポリシリコン層28に対し、例えばPOC1<sub>3</sub>雰囲気中におけるリン拡散により、第1層ポリシリコン層28が、所望の面抵抗抵抗 $\rho_s$ を持つように導体化(n型化)する。この第1層ポリシリコン層28の導体化処理は、別にn型不純物のイオン注入によっても構わない。また、あらかじめ不純物がドーブされた形で、第1層ポリシリコン層28を形成しても構わない。

次に、第2図(f)に示すように、第1層ポリシリコン層28を、例えば図示しないホトレジストを用いた露光蝕刻法により、E<sup>2</sup>PR<sup>2</sup>OMおよびEPR<sup>2</sup>OMにおける浮遊ゲートのセルスリット(第2図(f)には図示せず)、選択用MOSFET並びに周辺用MOSFETのゲート

の形状(これらの部分には、符号28'を付す)にパターニングする。この状態の平面図を第3図に図示する。

第3図に図示するように、第1層ポリシリコン層28には、フィールド酸化膜2上で、ワード線方向におけるセルの浮遊ゲートを、互いに分離するセルスリット29がパターニングされ、さらに、選択用MOSFET並びに周辺用MOSFET形成領域上では、ゲートの形状28'にパターニングされている。ここで、周辺用MOSFETにおけるゲートの形状28'は、おのおのゲートが分離されるようにパターニングされている。これは、別にゲートがおのおの分離されるように形成する必要はなく、回路構成によっては必ずしも分離する必要はない。第3図中のA-A'線に相当断面は、第2図(f)である。

次に、第2図(g)に示すように、全面に、例えば熱酸化法により、第4の熱酸化膜30を形成する。この第4の熱酸化膜30は、E<sup>2</sup>PR<sup>2</sup>OMおよびEPR<sup>2</sup>OMの第2ゲート酸化膜となるもの

であり、したがって、その膜厚は、両メモリセルの特性に合わせて設定される。次に、全面に、例えばCVD法により、第2層ポリシリコン層31を形成する。次に、この第2層ポリシリコン層31に対し、例えばPOC1<sub>3</sub>雰囲気中におけるリン拡散により、第2層ポリシリコン層31が、所望の面抵抗抵抗 $\rho_s$ を持つように導体化(n型化)する。この第2層ポリシリコン層31の導体化処理は、別にn型不純物のイオン注入によっても構わない。また、あらかじめ不純物がドーブされた形で、第2層ポリシリコン層31を形成しても構わない。

次に、第2図(h)に示すように、EPR<sup>2</sup>OM形成領域、およびE<sup>2</sup>PR<sup>2</sup>OM形成領域のメモリトランジスタ領域の上部を、例えば図示しないホトレジストによってマスクする。次に、ホトレジストをマスクとして、周辺用MOSFET形成領域、および選択用MOSFET領域の上部に存在する第2層ポリシリコン層31を除去する。次に、図示しないホトレジストを除去し、今度は、周辺用MOSFET形成領域、および選択用MOSFET領域の上部を、例えば図示しないホトレジストによってマスクする。これとともに、E<sup>2</sup>PR<sup>2</sup>OMおよびEPR<sup>2</sup>OMの制御ゲートパターンを、ホトレジストに形成する。次に、ホトレジストをマスクとして、第2層ポリシリコン層31、第4の熱酸化膜30、および第1層ポリシリコン層28を順次除去する、いわゆるセルフアラインエッチングを行なう。このセルフアラインエッチングによって、第1層ポリシリコン層28にて構成された浮遊ゲート6、16、並びにMOSFET(選択用MOSFETを含む)のゲート8、22が形成される。同様に、第4の熱酸化膜30にて構成された第2ゲート酸化膜9、17、並びに第2層ポリシリコン層31にて構成された制御ゲート10、18が形成される。また、第1の熱酸化膜24にて構成された第1ゲート酸化膜5、7が形成される。同様に、第2の熱酸化膜25にて構成された第1ゲート酸化膜15、21が形成され、第3の熱酸化膜27にて構成さ



## 特開平3-126265 (15)

れたトンネル酸化膜5'が形成される。次に、制御ゲート10および18、並びにMOSFET（選択用MOSFETを含む）のゲート8、22をマスクにして、 $n$ 型不純物である、例えばヒ素32を、図1に対してイオン注入することにより、図1とは反対導電型のソース/ドレイン領域3、3'14、20を、それぞれ形成する。次に、これらのソース/ドレイン領域3、3'、14、20を、例えば熱処理することにより、活性化させる。ここで、ソース/ドレイン領域3'は、 $n$ 型不純物層4に接するように活性化される。

この後、図1図に示すように、全面に層間絶縁膜11を形成する。次に、例えば図示しないホトリソを用いた写真蝕刻法により、層間絶縁膜11に対して、ソース/ドレイン領域3、14、20等に通じるコンタクト孔12、19、23を、選択的に開孔する。次に、例えばスパッタ法により、コンタクト孔12、19、23内を含む全面に、アルミニウム等の導電性の材料を蒸着し、これを所定の配線12'、19'、23'等の形状

にパターンニングする。そして、最後に、表面層絶縁膜13を全面に形成することにより、この発明の第1の実施例に係わる半導体記憶装置が製造される。

このような、第1の実施例に係わる半導体記憶装置の製造方法によれば、第1ゲート酸化膜5、7、トンネル酸化膜5'、第1ゲート酸化膜15、21を、それぞれ異なる膜厚に形成して、 $E^2$  PROMと、EPROMと、MOSFETとが同一チップに形成できる。本実施例中では、第1ゲート酸化膜5、7の膜厚が430Å、第1ゲート酸化膜15、21の膜厚が250Å、トンネル酸化膜5'の膜厚が100Åとなっている。

以下、第4図、第5図(a)ないし第5図(d)、および第6図を参照して、この発明の第2の実施例に係わる半導体記憶装置およびその製造方法について説明する。

第4図は、この発明の第2の実施例に係わる半導体記憶装置の概念を示す断面図である。

第5図(a)ないし第5図(d)は、第4図に

示す半導体記憶装置を製造工程順に示した断面図である。

第4図の断面図において、第1図と同一の部分については、同一の参照符号を付し、重複する説明は避けるものとする。

この第2の実施例に係わる半導体記憶装置の特徴としては、主に、以下に説明する4点がある。

第4図に示すように、まず、第1に、 $E^2$  PROM形成領域におけるメモリトランジスタの第1ゲート酸化膜5と、選択用MOSFETの第1ゲート酸化膜33との膜厚が互いに異なる点である。第1の実施例に係わる半導体記憶装置では、これらが、同一の膜厚を持っていた。本第2の実施例に係わる半導体記憶装置では、第1のゲート酸化膜5の膜厚が、例えば430Å程度であり、第1のゲート酸化膜33の膜厚が、例えば250Å程度である。

第2に、EPROM形成領域における第1ゲート酸化膜15と、周回用MOSFET形成領域における第1ゲート酸化膜35との膜厚が異なる点

である。第1の実施例に係わる半導体記憶装置では、これらが、同一の膜厚を持っていた。本第2の実施例に係わる半導体記憶装置では、第1のゲート酸化膜15の膜厚が、例えば250Å程度であり、第1のゲート酸化膜35の膜厚が、例えば150Å程度である。

第3に、選択用MOSFETのゲート34が第2層ポリシリコン層にて形成されている点である。第1の実施例に係わる半導体記憶装置では、これが第1層ポリシリコン層にて形成されていた。

第4に、周回用MOSFETのゲート36が第2層ポリシリコン層にて形成されている点である。第1の実施例に係わる半導体記憶装置では、これが第1層ポリシリコン層にて形成されていた。

以上の4つの特徴から、第2の実施例に係わる半導体記憶装置によれば、第1層ポリシリコン層にて形成された浮遊ゲート6、16と、MOSFET（選択用MOSFETを含む）のゲート34、36との、例えば面抵抗値 $\rho_s$ や、膜厚等を、それぞれ任意に変えることができる。

## 特開平3-126265 (16)

よって、第1の実施例に係わる半導体記憶装置に比べて、E<sup>2</sup> P R O MおよびE P R O Mの特性の設定、並びにM O S F E T（E<sup>2</sup> P R O Mの選択トランジスタを含む）の特性の設定に、互いに自由度を持たせることができる。

次に、第5図（a）ないし第5図（d）を参照して、第2の実施例に係わる半導体記憶装置の製造方法について説明する。第5図（a）ないし第5図（d）において、各参照する符号は、第4図と対応するものとする。

尚、第5図（a）までの工程は、第1の実施例に係わる半導体記憶装置で説明した第2図（a）ないし第2図（d）の工程と、ほぼ同一の工程であるので省略する。

第5図（a）に示すように、第1の実施例に係わる半導体記憶装置で説明した第2図（d）までの工程と、ほぼ同一の工程を経て形成された装置の全面に、例えばC V D法により、第1層ポリシリコン層28を形成する。ここで、第1の熱酸化膜24、第2の熱酸化膜25、および第3の熱酸

化膜27の成長は、ほぼ止まる。このときの膜厚は、例えばそれぞれ約430Å、約250Å、および約100Åである。これらの膜厚値は、上記値に限られるものではなく、それぞれ適切な膜厚値に設定してよいことは勿論である。ところで、この実施例中では、第1の熱酸化膜24の膜厚が、第4図に図示する第1ゲート酸化膜5の膜厚に、ほぼ等しいものとなる。同様に、第2の熱酸化膜25の膜厚は、第1ゲート酸化膜15の膜厚に、ほぼ等しいものとなる。第3の熱酸化膜27の膜厚は、トンネル酸化膜5'の膜厚に、ほぼ等しいものとなる。次に、第1層ポリシリコン層28に対し、例えばP O C I<sub>3</sub>、雰囲気中におけるリン拡散により、第1層ポリシリコン層28が所望の、面積抵抗値ρ<sub>s</sub>を持つように導体化（n型化）する。この第1層ポリシリコン層28の導体化処理は、別にn型不純物のイオン注入によっても構わない。また、あらかじめ不純物がドーパされた形で第1層ポリシリコン層28を形成しても構わない。

次に、第5図（b）に示すように、第1層ポリシリコン層28に対して、例えば図示しないホトレジストを用いた写真蝕刻法により、セルズリット（第5図（b）には図示せず）をパターンニングし、同時に、周辺用M O S F E T形成領域および選択用M O S F E T領域上に存在する第1層ポリシリコン層28を除去する。この状態の平面図を第6図に示す。

第6図に図示するように、第1層ポリシリコン層28には、フィールド酸化膜2上で、ワード線方向におけるセルの浮遊ゲートを、それぞれ分離するセルズリット29がパターンニングされている。ここで、周辺用M O S F E T形成領域および選択用M O S F E T領域上に存在する第1層ポリシリコン層28は除去されている。第6図中のB-B'線に沿う断面は、第5図（b）である。

次に、第5図（c）に示すように、全面に、例えば熱酸化法により、第4の熱酸化膜30を形成する。この第4の熱酸化膜30は、E<sup>2</sup> P R O MおよびE P R O Mの第2ゲート酸化膜、並びに

M O S F E T（選択用M O S F E Tを含む）の第1ゲート酸化膜となるものであり、したがって、その膜厚は、E<sup>2</sup> P R O MおよびE P R O Mの特性、並びにM O S F E T（選択用M O S F E Tを含む）の特性に合わせて設定される。次に、全面に、例えばC V D法により、第2層ポリシリコン層31を形成する。次に、この第2層ポリシリコン層31に対し、例えばP O C I<sub>3</sub>、雰囲気中におけるリン拡散により、第2層ポリシリコン層31が、所望の面積抵抗値ρ<sub>s</sub>を持つように導体化（n型化）する。この第2層ポリシリコン層31の導体化処理は、別にn型不純物のイオン注入によっても構わない。また、あらかじめ不純物がドーパされた形で、第2層ポリシリコン層31を形成しても構わない。

次に、第5図（d）に示すように、E P R O M形成領域、およびE<sup>2</sup> P R O M形成領域のメモリトランジスタ領域の上部を、例えば図示しないホトレジストによってマスクする。次に、ホトレジストをマスクとして、M O S F E T形成領域およ

## 特開平3-126265 (17)

び選択用MOSFET領域の上部に存在する第2層ポリシリコン層31を、所定のMOSFETのゲートの形状にパターニングする。これによって、第2層ポリシリコン層31にて構成されたMOSFET（選択用トランジスタを含む）のゲート34、36が形成される。同時に、第4の熱酸化膜30にて構成されたMOSFET（選択用MOSFETを含む）の第1ゲート酸化膜33、35が形成される。次に、図示しないホトレジストを除去し、今度は、MOSFET形成領域、および選択用MOSFET領域の上部を、例えば図示しないホトレジストによってマスクする。これとともに、EPROMおよびEPROMの制御ゲートパターンを、ホトレジストに形成する。次に、ホトレジストをマスクとして、第2層ポリシリコン層31、第4の熱酸化膜30、および第1層ポリシリコン層28を順次除去する、いわゆるセルフアラインエッチングを行なう。このセルフアラインエッチングによって、第1層ポリシリコン層28にて構成された浮遊ゲート6、16が形

成される。同時に、第4の熱酸化膜30にて構成された第2ゲート酸化膜5、15、並びに第2層ポリシリコン層31にて構成された制御ゲート10、18が形成される。また、第1の熱酸化膜24にて構成された第1ゲート酸化膜5が形成される。同様に、第2の熱酸化膜25にて構成された第1ゲート酸化膜15が形成され、第3の熱酸化膜27にて構成されるトンネル酸化膜5'が形成される。次に、制御ゲート10および18、並びにMOSFET（選択用MOSFETを含む）のゲート34、36をマスクにして、n型不純物である、例えばと素32を、基板1に対してイオン注入することにより、基板1とは反対導電型のソース/ドレイン領域3、3'、14、20を、それぞれ形成する。次に、これらのソース/ドレイン領域3、3'、14、20を、例えば熱処理することにより、活性化させる。ここで、ソース/ドレイン領域3'は、n型不純物層4に接するように活性化される。

この後、第4図に示すように、第1の真能例

同様、図5図5膜11の形成、コンタクト孔12、29、23の開孔、アルミニウム等の導電性膜の蒸着、これを所定の配線形状にパターニング、そして表面保護膜13の形成等によって第2の実施例に係わる半導体記憶装置が製造される。

このような、第2の実施例に係わる半導体記憶装置の製造方法によれば、第1ゲート酸化膜5、トンネル酸化膜5'、第1ゲート酸化膜15、並びに第1ゲート酸化膜33および35を、それぞれ異なる膜厚に形成することができる。本実施例中では、第1ゲート酸化膜5の膜厚が430Å程度、第1ゲート酸化膜15の膜厚が250Å程度、第1ゲート酸化膜33および35の膜厚が150Å程度、トンネル酸化膜5'の膜厚が100Å程度である。

さらに、浮遊ゲート6、16と、ゲート34、36とを、それぞれ異なる導電層にて形成である。本実施例中では、浮遊ゲート6、16が第1層ポリシリコン層28にて構成され、ゲート34、36が第2層ポリシリコン層31にて構成されて、

EPROMと、EPROMと、MOSFETとが同一チップに形成できるようになる。

また、本実施例中では述べていないが、MOSFET（選択用MOSFETを含む）形成領域の基板1に対して、チャネルインプラを行なう際、この基板1に対してインプラされたしきい値制御用不純物が、第2層ポリシリコン層31形成時の熱処理を受けることがなくなる。このチャネルインプラは、例えば第5図(c)に示す工程で、第2層ポリシリコン層31の形成以前に行なわれる。

よって、第2の実施例に係わる半導体記憶装置の製造方法では、MOSFET（選択用MOSFETを含む）のしきい値を、所望の値に精度よく合わせ込むことが可能となる。

以下、第7図、第8図(a)ないし第8図(f)を参照して、この発明の第3の実施例に係わる半導体記憶装置およびその製造方法について説明する。

第7図は、この発明の第3の実施例に係わる半

## 特開平3-126265 (19)

導体記憶装置の概念を示す断面図である。

第8図(a)ないし第8図(f)は、第7図に示す半導体記憶装置を製造工程順に示した断面図である。

第7図の断面図において、第1図および第4図と同一の部分については、同一の参照符号を付し、重複する説明は避けるものとする。

第7図に示すように、この第3の実施例に係わる半導体記憶装置の特徴としては、第2の実施例に係わる半導体記憶装置の特徴に加えて、浮遊ゲート16と、制御ゲート18とを互いに絶縁する第2ゲート絶縁膜38、酸化膜39、酸化膜40、および窒化膜41からなる積層構造膜にて構成されている点である。同様に、浮遊ゲート16と、制御ゲート18とを互いに絶縁する第2ゲート酸化膜42、酸化膜43、酸化膜44、および窒化膜45からなる積層構造膜にて構成されている。

以上の特徴から、この第3の実施例によれば、第2の実施例に係わる半導体記憶装置による効果

に加えて、E<sup>2</sup>PR<sup>2</sup>OMおよびE<sup>2</sup>PR<sup>2</sup>OMの特性のうち、例えば浮遊ゲートと、制御ゲートとの間の容量の増大等がみられる。

次に、第8図(a)ないし第8図(f)を参照して、第3の実施例に係わる半導体記憶装置の製造方法について説明する。第8図(a)ないし第8図(f)において、各参照する符号は、第7図と対応するものとする。

尚、第8図(a)までの工程は、第1の実施例に係わる半導体記憶装置で説明した第2図(a)ないし第2図(d)の工程と、ほぼ同一の工程であるので省略する。

第8図(a)に示すように、第1の実施例に係わる半導体記憶装置で説明した第2図(d)までの工程と、ほぼ同一の工程を経て形成された装置の全面に、例えばCVD法により、第1層ポリシリコン層28を形成する。ここで、第1の熱酸化膜24、第2の熱酸化膜25、および第3の熱酸化膜27の成長は、ほぼ止まる。このときの膜厚は、例えばそれぞれ約430Å、約250Å、お

よび約100Åである。これらの膜厚値は、上記値に限られるものではなく、それぞれ適切な膜厚値に設定してよいことは勿論である。次に、第1層ポリシリコン層28に対し、例えばPOCl<sub>3</sub>雰囲気中におけるリン拡散により、第1層ポリシリコン層28が所望の、面抵抗抵抗ρ<sub>s</sub>を持つように導体化(n型化)する。この第1層ポリシリコン層28の導体化処理は、別にn型不純物のイオン注入によっても構わない。また、あらかじめ不純物がドーパされた形で第1層ポリシリコン層28を形成しても構わない。

次に、第8図(b)に示すように、第1層ポリシリコン層28に対して、例えば図示しないホトリジストを用いた写真蝕刻法により、セルスリット(第8図(b)には図示せず)をパターニングし、同時に、周辺用MOSFET形成領域および選択用MOSFET領域上に存在する第1層ポリシリコン層28を除去する。この状態の平面図は、例えば第6図に図示する平面図と同じものである。第6図を参照願う。また、ここでの第6図

の説明は、既に説明済みであるので省略する。

次に、第8図(c)に示すように、全面に、例えば温度1000℃、N<sub>2</sub>希釈率20%の雰囲気中で、第1層ポリシリコン層28上において膜厚が、例えば350Å程度となる第4の熱酸化膜47を形成する。次に、全面に、例えばCVD法により、第1の窒化膜48を、例えば膜厚が300Å程度となるように形成する。次に、この第1の窒化膜48上に、例えば温度950℃、B<sub>2</sub>O<sub>3</sub>(ボロン酸化物)雰囲気中、80分間の時間指定により、膜厚60Å程度となる第5の熱酸化膜49を形成する。次に、全面に、例えばCVD法により、第2の窒化膜50を、例えば膜厚が300Å程度となるように形成する。これらの第4の酸化膜47、第1の窒化膜48、第5の酸化膜49、および第2の窒化膜50からなる積層構造膜は、E<sup>2</sup>PR<sup>2</sup>OMおよびE<sup>2</sup>PR<sup>2</sup>OMの第2ゲート絶縁膜となるものであり、したがって、その膜厚は、E<sup>2</sup>PR<sup>2</sup>OMセルおよびE<sup>2</sup>PR<sup>2</sup>OMセルの特性に合わせて設定される。

## 特開平3-126265 (19)

次に、第8図(d)に示すように、EPROM形成領域上およびEPROM形成領域のメモリトランジスタ形成領域上を、例えば図示しないホトレジストによってマスクする。次に、選択用MOSFET領域上および周辺用MOSFET形成領域上に存在する第4の酸化膜47、第1の窒化膜48、第5の酸化膜49、および第2の窒化膜50を除去し、例えば基板1の表面を露出させる。次に、この基板1の表面上に、例えば熱酸化法により、第6の熱酸化膜51を、基板1表面において、例えば膜厚150Å程度となるように形成する。この第6の熱酸化膜51は、MOSFET（選択用MOSFETを含む）の第1ゲート酸化膜となるものである。このとき、第2の窒化膜50上にも、膜厚の薄い熱酸化膜が形成されるが、極めて薄い膜厚であるため無視して構わない。

尚、ここで、第6の熱酸化膜51を、MOSFET（選択用MOSFETを含む）のチャネル領域に対するチャネルインプラの前の、いわゆる積層酸化膜とすることもできる。この場

も構わない。

次に、第8図(e)に示すように、EPROM形成領域、およびEPROM形成領域のメモリトランジスタ領域の上部を、例えば図示しないホトレジストによってマスクする。次に、ホトレジストをマスクとして、周辺用MOSFET形成領域および選択用MOSFET領域の上部に存在する第2層ポリシリコン層31を、所定のMOSFETのゲートの形状にパターンニングする。これによって、第2層ポリシリコン層31にて構成されたMOSFET（選択用MOSFETを含む）のゲート34、36が形成される。同時に、第6の熱酸化膜51にて構成されたMOSFET（選択用MOSFETを含む）の第1ゲート酸化膜37、46が形成される。次に、図示しないホトレジストを除去し、今度は、MOSFET形成領域、および選択用MOSFET領域の上部を、例えば図示しないホトレジストによってマスクする。これとともに、EPROMおよびEPROMの制御ゲートパターンを、レジストに

合の製造方法の一例としては、まず、例えばしきい値制御用の所定の不純物をイオン注入後、第6の熱酸化膜51を除去する。このとき、EPROMおよびEPROMの第2ゲート絶縁膜においては、第2の窒化膜50がエッチングの障壁となるために、ほとんど除去されることはない。そして、基板1の表面に、再度、MOSFET（選択用MOSFETを含む）の第1ゲート酸化膜となる、新たな熱酸化膜を形成すればよい。

次に、第8図(f)に示すように、全面に、例えばCVD法により、第2層ポリシリコン層31を形成する。次に、この第2層ポリシリコン層31に対し、例えばPOCl<sub>3</sub>、雰囲気中におけるリン濃度により、第2層ポリシリコン層31が、所定の面抵抗抵抗値 $\Omega/\square$ を持つように導体化（ $n$ 型化）する。この第2層ポリシリコン層31の導体化処理は、別に $n$ 型不純物のイオン注入によっても構わない。また、あらかじめ不純物がドーパされた形で、第2層ポリシリコン層31を形成して

形成する。次に、ホトレジストをマスクとして、第2層ポリシリコン層31を除去する。引き続き、第2の窒化膜50、第5の熱酸化膜49、第1の窒化膜48、第4の熱酸化膜47を除去し、さらに、引き続き第1層ポリシリコン層28を除去する、いわゆるセルフアラインエッチングを行なう。このセルフアラインエッチングによって、第1層ポリシリコン層28にて構成された浮遊ゲート6、16が形成される。同時に、第4の熱酸化膜47、第1の窒化膜48、第5の熱酸化膜49、および第2の窒化膜50からなる積層構造膜にて構成されたEPROMの第2ゲート絶縁膜（図中では38～41の積層構造膜で図示）、およびEPROMの第2ゲート絶縁膜（図中では42～45の積層構造膜で図示）が形成される。さらに、第2層ポリシリコン層31にて構成された制御ゲート10、18が形成される。また、第1の熱酸化膜24にて構成された第1ゲート酸化膜5が形成される。同時に、第2の熱酸化膜25にて構成された第1ゲート酸化膜15が形成され、第3の

## 特開平3-126265 (20)

熱酸化膜27にて形成されたトンネル酸化膜5'が形成される。次に、制御ゲート10および18、並びにMOSFET（選択用MOSFETを含む）のゲート34、36をマスクにして、n型不純物である、例えばヒ素32を、基板1に対してイオン注入することにより、基板1とは反対導電型のソース/ドレイン領域3、3'、14、20を、それぞれ形成する。次に、これらのソース/ドレイン領域3、3'、14、20を、例えば熱処理することにより、活性化させる。ここで、ソース/ドレイン領域3'は、n型不純物層4に接するように活性化される。

この後、第7図に示すように、第1および第2の実施例と同様、層間絶縁膜11の形成、コンタクト孔12、19、23の開孔、アルミニウム等の導電性膜の蒸着、これを所定の配線形状にパターニング、そして表面保護膜13の形成等によって第3の実施例に係わる半導体記憶装置が製造される。

このような、第3の実施例に係わる半導体記憶

装置の製造方法によれば、第2の実施例で説明した効果に加えて、第2ゲート絶縁膜を、窒化膜（酸化されにくい絶縁膜）と、酸化膜との積層構造にすることができる。

しかも、MOSFET（E<sup>2</sup>PRROMの選択トランジスタを含む）のチャネル領域に対するチャネルインプラの際には、第8図（d）の工程で説明したように、犠牲酸化膜の導入が可能となる。

以下、第9図、第10図（a）ないし第10図（c）、および第11図を参照して、この発明の第4の実施例に係わる半導体記憶装置およびその製造方法について説明する。

第9図は、この発明の第4の実施例に係わる半導体記憶装置の概念を示す断面図である。

第10図（a）ないし第10図（c）は、第9図に示す半導体記憶装置を製造工程順に示した断面図である。

第9図の断面図において、第1図と同一の部分については、同一の参照符号を付し、重複する説明は避けるものとする。

第4図に示すように、この第4の実施例に係わる半導体記憶装置の特徴としては、E<sup>2</sup>PRROMの浮遊ゲート6と、EPRROMの浮遊ゲート53との面積抵抗値 $\rho s$ が、互いに異なる点である。例えばE<sup>2</sup>PRROMの浮遊ゲート6の面積抵抗値を $\rho s1$ とし、EPRROMの浮遊ゲート53の面積抵抗値を $\rho s2$ とすると、

$$\rho s1 > \rho s2$$

の関係になるように設定されている。

つまり、浮遊ゲートにおける不純物濃度の関係が

$$E^2PRROM < EPRROM$$

となっている。

このように、E<sup>2</sup>PRROMの浮遊ゲート6の面積抵抗値 $\rho s1$ が高い抵抗値を持って形成されている、すなわち不純物濃度が低く設定されていることにより、例えばトンネルリーク、あるいはトンネル酸化膜5'からの不純物の基板へのしみ出し等の問題が解決され、E<sup>2</sup>PRROMの信頼性が高まる。

よって、この第4の実施例によれば、第1の実施例に係わる半導体記憶装置の効果に加えて、より信頼性の高まったE<sup>2</sup>PRROMを、EPRROMと同一チップ上に配線することが実現される。

次に、第10図（a）ないし第10図（c）を参照して、第4の実施例に係わる半導体記憶装置の製造方法について説明する。第10図（a）ないし第10図（c）において、各参照する符号は、第9図と対応するものとする。

尚、第10（a）までの工程は、第1の実施例に係わる半導体記憶装置で説明した第2図（a）ないし第2図（d）までの工程と同一であるので省略する。

第10図（a）に示すように、第1の実施例に係わる半導体記憶装置の製造方法の第2図（d）までの工程と、同一の工程を経て形成された装置の全面に、例えばCVD法により、第1層ポリシリコン層28を形成する。ここで、第1の熱酸化膜24、第2の熱酸化膜25、および第3の熱酸化膜27の成長は、ほぼ止まる。このときの膜厚

## 特開平3-126265 (21)

は、例えばそれぞれ約430Å、約250Å、および約100Åである。これらの膜厚値は、上記値に限られるものではなく、それぞれ適切な膜厚値に設定してよいことは勿論である。

次に、第10図(b)に示すように、第1層ポリシリコン層28上に、例えば熱酸化法により、膜厚400Å程度の熱酸化膜55を形成する。そして、E<sup>2</sup> PROMの浮遊ゲート形成領域上に熱酸化膜55が残るように、例えば図示しないホトレジストを用いた写真蝕刻法により、除去する。次に、第1層ポリシリコン層28に対し、例えばPOCl<sub>3</sub>、雰囲気中におけるリン拡散により、第1層ポリシリコン層28が、所望の面積抵抗値 $\rho_s$ を持つように導体化(n型化)する。このとき、第1層ポリシリコン層28上に、熱酸化膜55が残留している領域(第1層ポリシリコン層28として図示)では、不純物濃度が低くなる。また、熱酸化膜55が残留していない領域(第1層ポリシリコン層28-2として図示)では、反対に不純物濃度が

高くなる。例えば第1層ポリシリコン層28の不純物濃度は、 $1 \sim 3 \times 10^{17} \text{cm}^{-3}$ 程度となり、第1層ポリシリコン層28-2の不純物濃度は、 $4 \sim 6 \times 10^{17} \text{cm}^{-3}$ 程度となる。このような、第1層ポリシリコン層28に対して、異なった面積抵抗値 $\rho_s$ の領域を得る導体化処理は、別にn型不純物のイオン注入によっても構わない。また、不純物のマスクとしては、第1層ポリシリコン層28上に形成された熱酸化膜55を用いたが、例えばCVD法により、堆積形成したCVD酸化膜等であってもよい。さらに、不純物選択能力を持ったホトレジスト等であってもよい。

次に、第10図(c)に示すように、第1層ポリシリコン層28に対して、例えば図示しないホトレジストを用いた写真蝕刻法により、セルスリット(第10図(c)には図示せず)、並びにMOSFETのゲートの形状(この部分には、符号28-2'を付す)をパターンニングする。この状態の平面図を第11図に図示する。

第11図に図示するように、第1層ポリシリコ

ン層28には、フィールド酸化膜2上で、ワード線方向における互いのセルの浮遊ゲートを、それぞれ分離するセルスリット29が形成されてパターンニングされ、さらに、MOSFETのゲートの形状28-2'にパターンニングされている。ここで、MOSFETのゲートの形状28-2'は、おのおのゲートが分離されるようにパターンニングされている。これは、第1の実施例で説明したように、ゲートがおのおの分離されるように形成する必要はない。

また、同図に示すように、E<sup>2</sup> PROM形成領域では、不純物濃度の低い第1層ポリシリコン層28が存在しており、一方、E<sup>2</sup> PROM形成領域では、不純物濃度の高い第1層ポリシリコン層28-2が存在している。第11図中のC-C'線に沿う断面は、第10図(c)である。

以後の工程は、第1の実施例に係わる半導体記憶装置で説明した第2図(g)および第2図(h)の工程と同一であるので省略する。

このような、第4の実施例に係わる半導体記憶

装置の製造方法によれば、第1の実施例に係わる半導体記憶装置の製造方法による効果に加えて、E<sup>2</sup> PROMの浮遊ゲート6の面積抵抗値 $\rho_s$ と、E<sup>2</sup> PROMの浮遊ゲート53の面積抵抗値 $\rho_s$ とを、互いに異ならせて、E<sup>2</sup> PROMと、E<sup>2</sup> PROMと、MOSFETとが同一チップに形成できる。本実施例中では、例えば互いの面積抵抗値を関係を、

$$\rho_s 1 > \rho_s 2$$

とするために、E<sup>2</sup> PROMの浮遊ゲート6の不純物濃度が $1 \sim 3 \times 10^{17} \text{cm}^{-3}$ 程度であり、E<sup>2</sup> PROMの浮遊ゲート53の不純物濃度が $4 \sim 6 \times 10^{17} \text{cm}^{-3}$ 程度とされている。

以下、第12図、第13図(a)ないし第13図(c)、および第14図を参照して、この発明の第5の実施例に係わる半導体記憶装置およびその製造方法について説明する。

第12図は、この発明の第5の実施例に係わる半導体記憶装置の概念を示す断面図である。

第13図(a)ないし第13図(c)は、

## 特開平3-126265 (22)

第12図に示す半導体記憶装置を製造工程順に示した断面図である。

第12図の断面図において、第1図と同一の部分については、同一の参照符号を付し、重複する説明は避けるものとする。

第12図に示すように、この第5の実施例に係わる半導体記憶装置の特徴としては、第2の実施例に係わる半導体記憶装置の特徴に加えて、E<sup>2</sup>PR<sup>2</sup>OMの浮遊ゲート6と、EPR<sup>2</sup>OMの浮遊ゲート53との面積抵抗値 $\rho s$ が、互いに異なる点である。例えばE<sup>2</sup>PR<sup>2</sup>OMの浮遊ゲート5の面積抵抗値を $\rho s1$ とし、EPR<sup>2</sup>OMの浮遊ゲート53の面積抵抗値を $\rho s2$ とすると、

$$\rho s1 > \rho s2$$

の關係になるように設定されている。

このように、E<sup>2</sup>PR<sup>2</sup>OMの浮遊ゲート6の面積抵抗値 $\rho s1$ が高い抵抗値を持って形成されている、すなわち不純物濃度が低く設定されていることで、第4の実施例で説明したようにE<sup>2</sup>PR<sup>2</sup>OMの信頼性が高まる。

は、例えばそれぞれ約430Å、約250Å、および約100Åである。これらの膜厚値は、上記値に限られるものではなく、それぞれ適切な膜厚値に設定してよいことは勿論である。

次に、第13図(b)に示すように、第1層ポリシリコン層28上に、例えば熱酸化法により、膜厚400Å程度の熱酸化膜55を形成する。そして、E<sup>2</sup>PR<sup>2</sup>OMの浮遊ゲート形成領域上に熱酸化膜55が残るように、例えば図示しないホトレジストを用いた写真蝕刻法により、除去する。次に、第1層ポリシリコン層28に対し、例えばPOCl<sub>3</sub>雰囲気中におけるリン拡散により、第1層ポリシリコン層28が、所望の面積抵抗値 $\rho s$ を持つように導体化(n型化)する。このとき、第1層ポリシリコン層28上に、熱酸化膜55が残留している領域(第1層ポリシリコン層28として図示)では、不純物の拡散が制限され、不純物濃度が低くなる。また、熱酸化膜55が残留していない領域(第1層ポリシリコン層28-2として図示)では、反対に不純物濃度が

よって、この第4の実施例によれば、第2の実施例に係わる半導体記憶装置の効果に加えて、信頼性の高いE<sup>2</sup>PR<sup>2</sup>OMを、EPR<sup>2</sup>OMと同一チップ上への同時記録が実現される。

次に、第13図(a)ないし第13図(c)を参照して、第5の実施例に係わる半導体記憶装置の製造方法について説明する。第13図(a)ないし第13図(c)において、各参照する符号は、第12図と対応するものとする。

尚、第13(a)までの工程は、第1の実施例に係わる半導体記憶装置で説明した第2図(a)ないし第2図(d)までの工程と同一であるので省略する。

第13図(a)に示すように、第1の実施例に係わる半導体記憶装置の製造方法の第2図(d)までの工程と、同一の工程を経て形成された装置の全面に、例えばCVD法により、第1層ポリシリコン層28を形成する。ここで、第1の熱酸化膜24、第2の熱酸化膜25、および第3の熱酸化膜27の成長は、ほぼ止まる。このときの膜厚

高くなる。例えば第1層ポリシリコン層28の不純物濃度は、 $1 \sim 3 \times 10^{12} \text{cm}^{-2}$ 程度となり、第1層ポリシリコン層28-2の不純物濃度は、 $4 \sim 6 \times 10^{12} \text{cm}^{-2}$ 程度となる。このような、第1層ポリシリコン層28に対して、異なる面積抵抗値 $\rho s$ の領域を得る導体化処理は、別にn型不純物のイオン注入によっても供わない。また、不純物のマスクとしては、第1層ポリシリコン層28上に形成された熱酸化膜55を用いたが、例えばCVD法により、堆積形成したCVD酸化膜等であってもよい。さらに、不純物遮断能力を持つホトレジスト等であってもよい。

次に、第13図(c)に示すように、第1層ポリシリコン層28に対して、例えば図示しないホトレジストを用いた写真蝕刻法により、セルスリット(第1の図(c)には図示せず)をパターンニングする。この状態の平面図を第14図に図示する。

第14図に図示するように、第1層ポリシリコン層28には、セルスリット29がパターンニ



## 特開平3-126265 (23)

ングされている。また、図面に示すように、 $E^2$  PROM形成領域では、不純物濃度の低い第1層ポリシリコン層28が存在しており、一方、EPROM形成領域では、不純物濃度の高い第1層ポリシリコン層28-2が存在している。第11図中のC-C'線に沿う断面は、第13図(c)である。

以後の工程は、第2の実施例に係わる半導体記憶装置で説明した第5図(c)および第5図(d)の工程と同一であるので省略する。

このような、第5の実施例に係わる半導体記憶装置の製造方法によれば、第2の実施例に係わる半導体記憶装置の製造方法による効果に加えて、 $E^2$  PROMの浮遊ゲート6の面積抵抗値 $\rho \approx 1$ と、EPROMの浮遊ゲート53の面積抵抗値 $\rho \approx 2$ とを、互いに異ならせて、 $E^2$  PROMと、EPROMと、MOSFETとが同一チップに形成できる。本実施例中では、例えば互いの面積抵抗値を関係を、

$$\rho \approx 1 > \rho \approx 2$$

ゲート53の面積抵抗値を $\rho \approx 2$ とすると、

$$\rho \approx 1 > \rho \approx 2$$

の関係になるように設定されている。

このように、 $E^2$  PROMの浮遊ゲート6の面積抵抗値 $\rho \approx 1$ が高い抵抗値を持って形成されていることにより、第4、第5の実施例同様、 $E^2$  PROMの信頼性が高まる。

よって、この第6の実施例によれば、第3の実施例に係わる半導体記憶装置の効果に加えて、信頼性の高い $E^2$  PROMを、EPROMと同一チップ上への同時製造が実現される。

次に、第6の実施例に係わる半導体記憶装置の製造方法について説明する。

尚、図面については、第1の実施例に係わる半導体記憶装置の製造方法の第2図(e)ないし第2図(d)、第5の実施例に係わる半導体記憶装置の製造方法の第13図(a)ないし第13図(c)、並びに第3の実施例に係わる半導体記憶装置の製造方法の第8図(c)ないし第8図(f)と重複するので省略する。

とするために、第4の実施例同様、

$E^2$  PROMの浮遊ゲート6の不純物濃度が $1 \sim 3 \times 10^{20} \text{ cm}^{-3}$ 程度であり、EPROMの浮遊ゲート53の不純物濃度が $4 \sim 6 \times 10^{20} \text{ cm}^{-3}$ 程度とされている。

以下、第15図を参照して、この発明の第6の実施例に係わる半導体記憶装置およびその製造方法について説明する。

第15図は、この発明の第6の実施例に係わる半導体記憶装置の概念を示す断面図である。

第15図の断面図において、第7図と同一の部分については、同一の参照符号を付し、重複する説明は避けるものとする。

第15図に示すように、この第6の実施例に係わる半導体記憶装置の特徴としては、第3の実施例に係わる半導体記憶装置の特徴に加えて、 $E^2$  PROMの浮遊ゲート6と、EPROMの浮遊ゲート53との面積抵抗値 $\rho \approx 1$ が、互いに異なる点である。例えば $E^2$  PROMの浮遊ゲート6の面積抵抗値を $\rho \approx 1$ とし、EPROMの浮遊

製造方法としては、まず、第2図(a)ないし第2図(d)までの工程を経たあと、第13図(a)ないし第13図(c)の工程を経る。ここで、 $E^2$  PROMの浮遊ゲートを構成する第1層ポリシリコン層と、EPROMの浮遊ゲートを構成する第1層ポリシリコン層との不純物の濃度が異なる。そして、第8図(c)ないし第8図(f)の工程を経ることにより、窒化膜と、酸化膜との積層構造体による第2ゲート絶縁膜が形成され、第6の実施例に係わる半導体記憶装置が製造される。

このような、第6の実施例に係わる半導体記憶装置の製造方法によれば、第3の実施例に係わる半導体記憶装置の製造方法による効果に加えて、 $E^2$  PROMの浮遊ゲート6の面積抵抗値 $\rho \approx 1$ と、EPROMの浮遊ゲート53の面積抵抗値 $\rho \approx 2$ とを、互いに異ならせて、 $E^2$  PROMと、EPROMと、MOSFETとが同一チップに形成できる。本実施例中では、例えば互いの面積抵抗値を関係を、

## 特開平3-126265 (24)

p 5 1 &gt; p 5 2

とするために、第4、第5の実施例同様、 $E^2$  P R O M の浮遊ゲート6の不純物濃度が  $1 \sim 3 \times 10^{19} \text{cm}^{-3}$  程度であり、E P R O M の浮遊ゲート53の不純物濃度が  $4 \sim 6 \times 10^{19} \text{cm}^{-3}$  程度とされている。

以上、第1ないし第6の実施例について述べた。

ところで、 $E^2$  P R O M および E P R O M のメモリセルの構造は、なにも2バス方式にこだわることはなく、基板内にソース拡散層を形成し、この拡散層をソース配線としたメモリセルでも良い。また、ビット線方向に存在するメモリセルでは、ソース/ドレイン領域を共有していても良い。

以下、そのような例を、積層型選択ゲートを持つ  $E^2$  P R O M の例を交えて、第7、第8の実施例として説明する。

第16図は、この発明の第7の実施例に係わる半導体記憶装置の概念を示す断面図である。

第17図(a)ないし第17図(d)は、第16図に示す半導体記憶装置を製造工程順に示し

た断面図である。

第16図の断面図において、第1図と同一の部分については、同一の参照符号を付し、重複する説明は避けるものとする。

この第7の実施例に係わる半導体記憶装置の特徴としては、上記したように  $E^2$  P R O M の選択用 M O S F E T のゲート電極8が、積層型選択ゲート(参照符号8')となっている点である。

また、 $E^2$  P R O M、E P R O M の両メモリセルの構造は、ビット線方向のメモリセルにおいて、ソース/ドレイン領域3(3<sub>1</sub>はソース、3<sub>2</sub>はドレイン)、14(14<sub>1</sub>はソース、14<sub>2</sub>はドレイン)を共有した構造、並びに1バス方式となっている。

次に、第17図(a)ないし第17図(d)を参照して、第7の実施例に係わる半導体記憶装置の製造方法について説明する。第17図(a)ないし第17図(d)において、各参照する符号は、第16図および第2図(a)ないし第2図(h)と対応するものとする。

尚、第17図(a)までの工程は、第1の実施例で説明した第2図(d)までの工程と、ほぼ同一の工程であるので省略する。

第17図(a)に示すように、第1の実施例で説明した第2図(d)までの工程を経て形成された装置の全面に、例えばCVD法により、第1層ポリシリコン層28を形成する。ここで、第1の熱酸化膜24、第2の熱酸化膜25、および第3の熱酸化膜27の成長は、ほぼ止まる。このときの膜厚は、例えばそれぞれ約430Å、約250Å、100Åである。これらの膜厚値は、上記値の限られることはなく、それぞれ適切な膜厚値に設定して良いことは勿論である。次に、第1層ポリシリコン層28に対し、例えばP O C l<sub>3</sub>雰囲気中におけるリン拡散により、第1層ポリシリコン層28が所望の面積抵抗値ρsを持つように導体化(n型化)する。この第1層ポリシリコン層28の導体化処理は、別にn型不純物のイオン注入によっても構わない。また、あらかじめ不純物がドーブされた形で、第1層ポリ

シリコン層28を形成しても構わない。

次に、第17図(b)に示すように、第1層ポリシリコン層28に対して、例えば図示しないホトレジストを用いた写像蝕刻法により、セルスリット(第17図(b)には図示せず)をパターンニング、並びに周辺用M O S F E T のゲートの形状(この部分には、符号28'を付す)をパターンニングする。この状態の平面図を第18図に図示する。

第18図に図示するように、第1層ポリシリコン層28には、フィールド酸化膜2上で、ワード線方向におけるセルを互いに分離するセルスリット29がパターンニングされている。さらに、周辺用M O S F E T 形成領域では、第1層ポリシリコン層28がゲートの形状28'にパターンニングされている。ここで、周辺用M O S F E T のゲートの形状28'は、ゲートがおのおの分離される形状になっている。しかしこれは、別におのおの分離される形状でなくとも、第1の実施例で説明したように、回路構成によっては分離する必要は必

## 特開平3-126265 (25)

ずしない。第18図中のE-E'線に沿う断面図は第17図(b)である。

次に、第17図(c)に示すように、全面に、例えば熱酸化法により、第4の熱酸化膜30を形成する。この第4の熱酸化膜30は、E<sup>2</sup> PROMおよびEPROMの第2ゲート絶縁膜となるものであり、したがって、その膜厚は、E<sup>2</sup> PROMセルおよびEPROMセルの特性に合わせて設定される。次に、全面に、例えばCVD法により、第2層ポリシリコン層31を形成する。次に、この第2層ポリシリコン層31に対し、例えばPOCl<sub>3</sub>雰囲気中におけるリン拡散により、第2層ポリシリコン層31が所望の面抵抗低抵抗 $\rho_s$ を持つように導体化(n型化)する。この導体化処理は、別にn型不純物のイオン注入によっても構わない。また、あらかじめ不純物がドーパされた形で、第2層ポリシリコン層31を形成しても構わない。

次に、第17図(d)に示すように、E<sup>2</sup> PROM形成領域、EPROM形成領域を、

例えば図示しないホトレジストによってマスクする。次に、このホトレジストをマスクとして、周辺用MOSFET形成領域上に存在する第2層ポリシリコン層31を除去する。次に、ホトレジストを除去し、今度は、周辺MOSFET形成領域を、新たなホトレジスト(図示せず)によってマスクする。これとともに、このホトレジストに対して、E<sup>2</sup> PROMセルおよび選択用MOSFETのパターン、並びにEPROMセルのパターンを形成する。次に、このホトレジストをマスクとして、第2層ポリシリコン層31、第4の熱酸化膜30、および第1層ポリシリコン層29を順次除去する、いわゆるセルフアラインエッチングを行なう。このセルフアラインエッチングによって、第1層ポリシリコン層29にて構成された浮遊ゲート6、16、周辺用MOSFETのゲート22が形成される。同時に、第2層ポリシリコン層31にて構成された制御ゲート10、18が形成される。そして、第1層、第2層のポリシリコン層29、30にて積層

型選択ゲート(8と8')も形成される。次に、制御ゲート10、18、選択ゲート8'、周辺用MOSFETのゲート22をマスクにして、n型不純物である、例えばヒ素を、基板1に対してイオン注入し、n型ソース/ドレイン領域3(3<sub>1</sub>、3<sub>2</sub>)、3'、14(14<sub>1</sub>、14<sub>2</sub>)、20をそれぞれ形成する。次に、これらのソース/ドレイン領域3、3'、14、20を、例えば熱処理することにより、活性化させる。ここで、ソース/ドレイン領域3'は、拡散層4に接するように活性化される。

この後、第16図に示すように、第1ないし第6の実施例と同様、層間絶縁膜11の形成、コンタクト孔12、19、23の開孔、アルミニウム等の導電性膜の蒸着、これを所定の配線形状にパターニング、そして表面保護膜13の形成等によって第7の実施例に係わる半導体記憶装置が製造される。

このような製造方法によれば、E<sup>2</sup> PROMの選択用MOSFETのゲートを積層型にでき、か

つE<sup>2</sup> PROMとEPROMとを同一基板上に混成して形成できる。その他、製造上の特徴としては、第1の実施例の製造方法の特徴とはほぼ同様である。

以下、第19図、第20図(a)および第20図(b)、第21図を参照して、第8の実施例に係わる半導体記憶装置について説明する。

第19図は、この発明の第8の実施例に係わる半導体記憶装置の概念を示す断面図、第20図(a)および第20図(b)は、第19図に示す装置の製造方法のうち、特徴的な工程を示す断面図である。

第19図の断面図において、第9図と同一の部分については、同一の参照符号を付し、重複する説明は避けるものとする。

この第8の実施例に係わる半導体記憶装置の特徴としては、第7の実施例同様、積層型選択ゲート(参照符号52')となっている点、およびE<sup>2</sup> PROMの浮遊ゲート6と、EPROMの浮遊ゲート53、周辺用MOSFET54並びに選

## 特開平3-126265 (26)

汎用MOSFETの下導電層52とのポリシリコン層の面積抵抗値 $\rho_s$ が互いに異なっている点である。この点から、 $E^2$ PRROMの浮遊ゲートの面積抵抗値 $\rho_s$ を高く設定することで、第4ないし第6の実施例のように $E^2$ PRROMの信頼性がより高まる。

また、 $E^2$ PRROM、EPROMの両メモリの構造は、図7の実施例同様、ビット線方向のメモリセルにおいて、ソース/ドレイン領域3(3<sub>1</sub>はソース、3<sub>2</sub>はドレイン)、14(14<sub>1</sub>はソース、14<sub>2</sub>はドレイン)を共有した構造、並びに1バス方式となっている。

以下、第20図(a)および第20図(b)を参照して、第8の実施例に係わる半導体記憶装置の製造方法について説明する。第20図(a)および第20図(b)において、各参照する符号は、第19図および第10図(a)ないし第10図(c)と対応するものとする。

尚、第20図(a)までの工程は、第4の実施例で説明した第10図(a)までの工程と、ほぼ

同一の工程であるので省略する。

第20図(a)に示すように、第4の実施例で説明した第10図(a)までの工程を経て形成された装置の第1層ポリシリコン層28上に、例えば熱酸化法により、膜厚400Å程度の熱酸化膜55を形成する。そして、 $E^2$ PRROMの浮遊ゲート形成領域上に熱酸化膜が残るように、例えば図示しないホトレジストを用いた写真蝕刻法により、除去する。次に、第1層ポリシリコン層28に対し、例えばPOCl<sub>3</sub>雰囲気中におけるリン拡散により、第1層ポリシリコン層28が、所望の面積抵抗値 $\rho_s$ を持つように導体化(n型化)する。このとき、第1層ポリシリコン層28上に、熱酸化膜55が残留している領域(第1層ポリシリコン層28として図示)では、不純物の拡散が制限され、不純物濃度が低くなる。また、熱酸化膜55が残留していない領域(第1層ポリシリコン層28-2として図示)では、反対に不純物濃度が高くなる。例えば第1層ポリシリコン層28の不純物濃度は、 $1 \sim 3 \times 10^{18} \text{cm}^{-3}$ 程度となり、

第1層ポリシリコン層28-2での不純物濃度は、 $4 \sim 6 \times 10^{18} \text{cm}^{-3}$ 程度となる。このような、第1層ポリシリコン層28に対して、異なった面積抵抗値 $\rho_s$ の領域を得る導体化処理は、別にn型不純物のイオン注入によっても構わない。また、不純物のマスクとしては、第1層ポリシリコン層28上に形成された熱酸化膜55を用いたが、例えばCVD法により、堆積形成したCVD酸化膜等であってもよい。さらに、不純物遮断能力を持ったホトレジスト等であってもよい。

次に、第20図(b)に示すように、第1層ポリシリコン層28に対して、例えば図示しないホトレジストを用いた写真蝕刻法により、セルスリット(第20図(b)には図示せず)、並びに周辺用MOSFETのゲートの形状(この部分には、符号28-2'を付す)をパターニングする。この状態の平面図を第21図に図示する。

第21図に図示するように、第1層ポリシリコン層28には、セルスリット29がパターニングされている。さらに、周辺用MOSFET形成領

域では、第1層ポリシリコン層28がゲートの形状28-2'にパターニングされている。ここで、周辺用MOSFETのゲートの形状28'は、ゲートがおのおの分離される形状になっている。しかしこれは、回路構成によっては分離する必要は必ずしもない。第21図中のF-F'線に沿う断面図は第20図(b)である。

この後、第7の実施例で説明した第17図(c)以降の工程を経ることにより、第19図に示す第8の実施例に係わる半導体記憶装置が製造される。

このような製造方法によれば、 $E^2$ PRROMの選別用MOSFETのゲートを積層型にでき、かつ $E^2$ PRROMとEPROMとを同一基板上に混載、そしてこれら両メモリセルにおける浮遊ゲートの面積抵抗値 $\rho_s$ を互いに異ならせて形成できる。その他、製法上の特徴としては、第4の実施例の製造方法の特徴とほぼ同様である。

## 【発明の効果】

以上説明したようにこの発明によれば、書き替える必要が随時あるデータを記憶する記憶部と、

## 特開平3-126265 (27)

書き替える必要がほとんどないデータを記憶する記憶部とを合せ持つチップサイズの縮小されたiチップマイクロコンピュータ(半導体記憶装置)が提供される。

## 4. 図面の簡単な説明

第1図は第1の実施例に係わる半導体記憶装置の概念を示す断面図、第2図(a)ないし第2図(h)は第1の実施例装置の製造方法を製造工程順に示す断面図、第3図は第2図(f)の平面図、第4図は第2の実施例に係わる半導体記憶装置の概念を示す断面図、第5図(a)ないし第5図(d)は第2の実施例装置の製造方法を製造工程順に示す断面図、第6図は第5図(b)の平面図、第7図は第3の実施例に係わる半導体記憶装置の概念を示す断面図、第8図(a)ないし第8図(f)は第3の実施例装置の製造方法を製造工程順に示す断面図、第9図は第4の実施例に係わる半導体記憶装置の概念を示す断面図、第10図(a)ないし第10図(c)は第3の実施例装置の製造方法を製造工程順に示す断面図、第11図

は第10図(c)の平面図、第12図は第5の実施例に係わる半導体記憶装置の概念を示す断面図、第13図(a)ないし第13図(c)は第5の実施例装置の製造方法を製造工程順に示す断面図、第14図は第13図(c)の平面図、第15図は第6の実施例に係わる半導体記憶装置の概念を示す断面図、第16図は第7の実施例に係わる半導体記憶装置の概念を示す断面図、第17図(a)ないし第17図(d)は第7の実施例装置の製造方法を製造工程順に示す断面図、第18図は第17図(b)の平面図、第19図は第8の実施例に係わる半導体記憶装置の概念を示す断面図、第20図(a)および第20図(b)は第8の実施例装置の製造方法を製造工程順に示す断面図、第21図は第20図(b)の平面図である。

1…半導体基盤、2…フィールド酸化膜、3、3'…ソース/ドレイン領域、4…不純物層、5…第1の熱酸化膜にて形成される第1ゲート酸化膜、5'…第3の熱酸化膜にて形成されるトンネル酸化膜、6…第1層ポリシリコン層にて形成

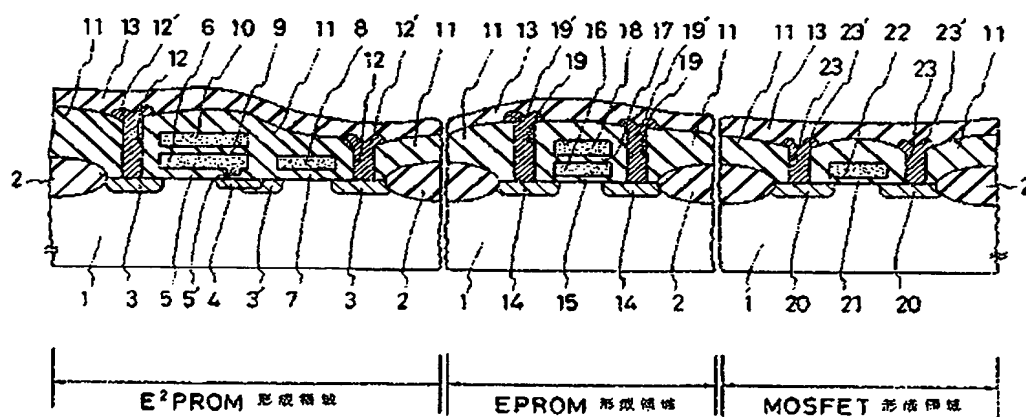
される浮遊ゲート、7…第1の熱酸化膜にて形成される第1ゲート酸化膜、8…第1層ポリシリコン層にて形成されるゲート、9…第4の熱酸化膜にて形成される第2ゲート酸化膜、10…第2層ポリシリコン層にて形成される制御ゲート、11…層間絶縁膜、12…コンタクト孔、12'…配線、13…表面保護膜、14…ソース/ドレイン領域、15…第2の熱酸化膜にて形成される第1ゲート酸化膜、16…第1層ポリシリコン層にて形成される浮遊ゲート、17…第4の熱酸化膜にて形成される第2ゲート酸化膜、18…第2層ポリシリコン層にて形成される制御ゲート、19…コンタクト孔、19'…配線、20…ソース/ドレイン領域、21…第2の熱酸化膜にて形成される第1ゲート酸化膜、22…第1層ポリシリコン層にて形成されるゲート、23…コンタクト孔、23'…配線、24…第1の熱酸化膜、25…第2の熱酸化膜、26…除去部、27…第3の熱酸化膜、28…第1層ポリシリコン層、28'…MOSFETのゲート形状

にパターンニングされた第1層ポリシリコン層、28-2…高い不純物濃度を持つ第1層ポリシリコン層、28-2'…MOSFETのゲート形状にパターンニングされた高い不純物濃度を持つ第1層ポリシリコン層、29…セルスリット、30…第4の熱酸化膜、31…第2層ポリシリコン層、32…ヒ素イオン、33…第4の熱酸化膜にて形成される第1ゲート酸化膜、34…第2層ポリシリコン層にて形成されるゲート、35…第4の熱酸化膜にて形成される第1ゲート酸化膜、36…第2層ポリシリコン層にて形成されるゲート、37…第6の熱酸化膜にて形成される第1ゲート酸化膜、38…第2ゲート絶縁膜を構成する第4の熱酸化膜、39…第2ゲート絶縁膜を構成する第1の窒化膜、40…第2ゲート絶縁膜を構成する第5の熱酸化膜、41…第2ゲート絶縁膜を構成する第2の窒化膜、42…第2ゲート絶縁膜を構成する第4の熱酸化膜、43…第2ゲート絶縁膜を構成する第1の窒化膜、44…第2ゲート絶縁膜を構成する第5の熱酸化膜、45…第2ゲ

特開平3-126265 (28)

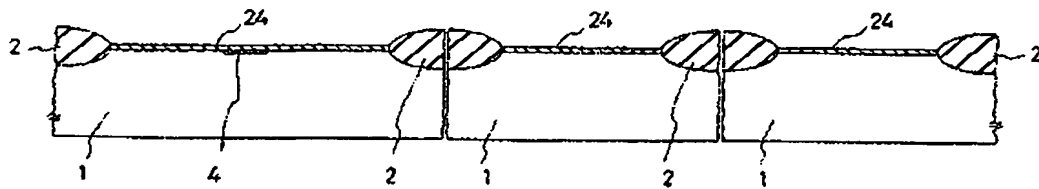
ート絶縁膜を形成する第2の窒化膜、47…第4の熱酸化膜、48…第1の窒化膜、49…第5の熱酸化膜、50…第2の窒化膜、51…第6の酸化膜、52…高い不純物濃度を持つ第1層ポリシリコン層にて形成されたゲート、53…高い不純物濃度を持つ第1層ポリシリコン層にて形成された浮遊ゲート、54…高い不純物濃度を持つ第2層ポリシリコン層にて形成されたゲート。

出願人代理人 弁理士 鈴江 武彦

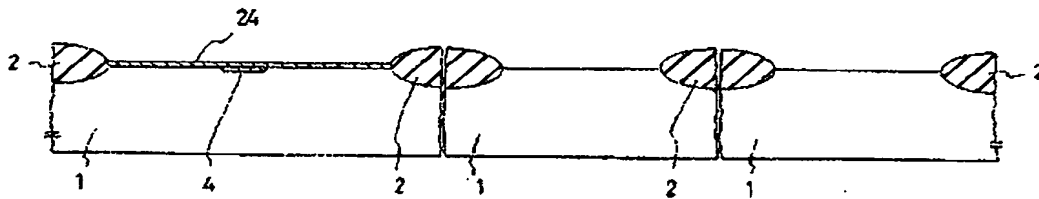


第 1 図

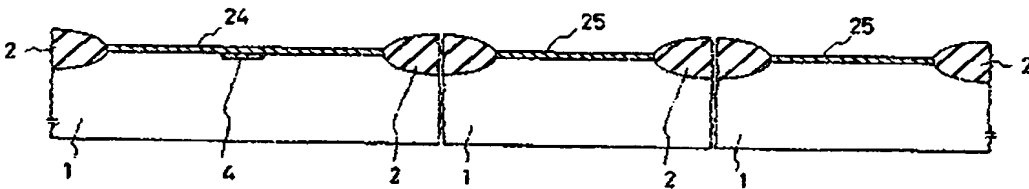
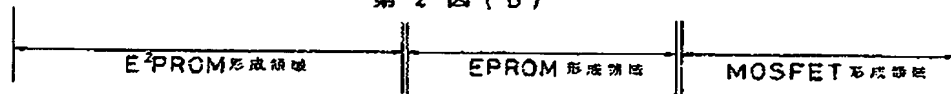
特開平3-126265 (29)



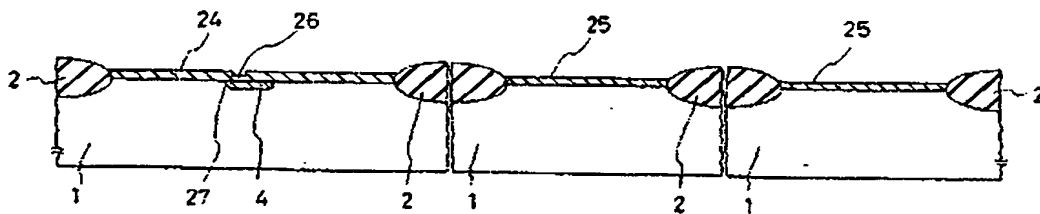
第 2 圖 (a)



第 2 圖 (b)



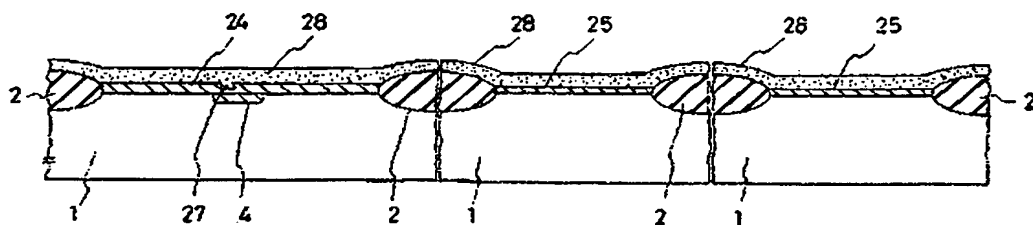
第 2 圖 (c)



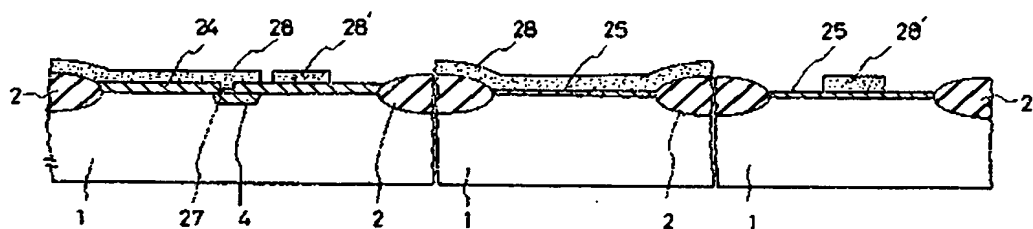
第 2 圖 (d)



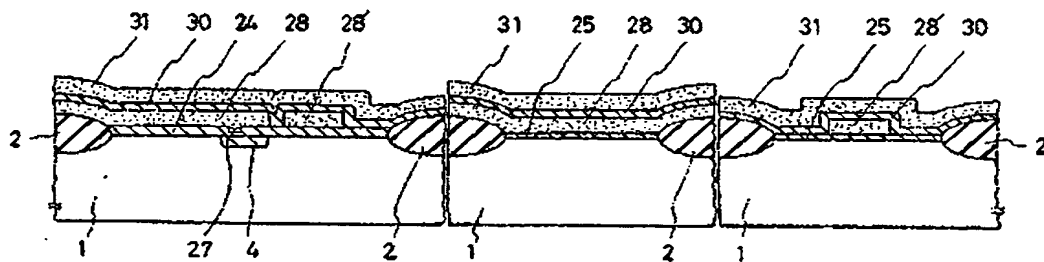
特開平3-126265 (30)



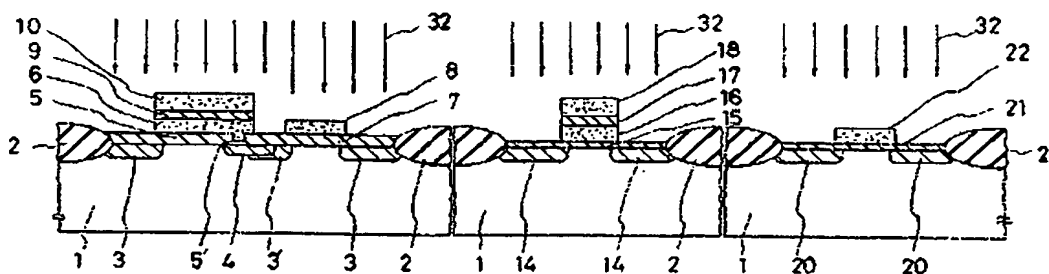
第 2 圖 (e)



第 2 圖 (f)



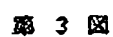
第 2 圖 (g)



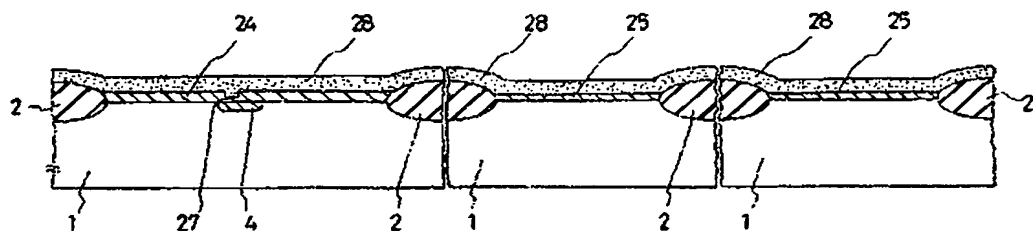
第 2 圖 (h)



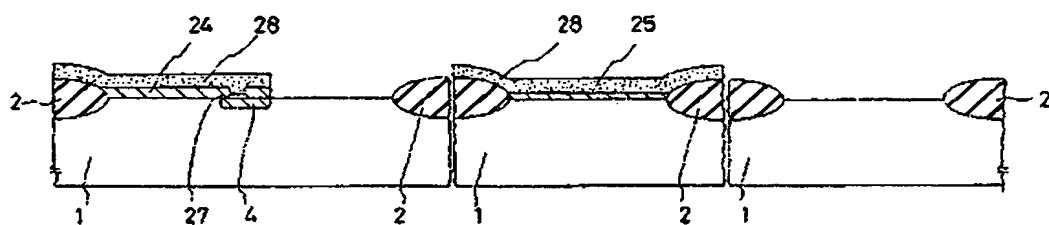




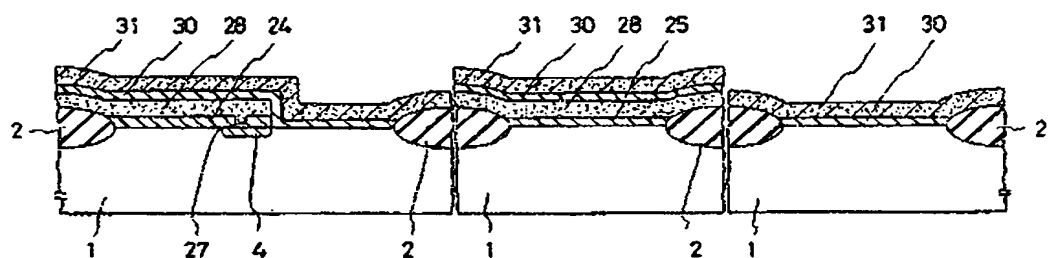
特開平3-126265 (32)



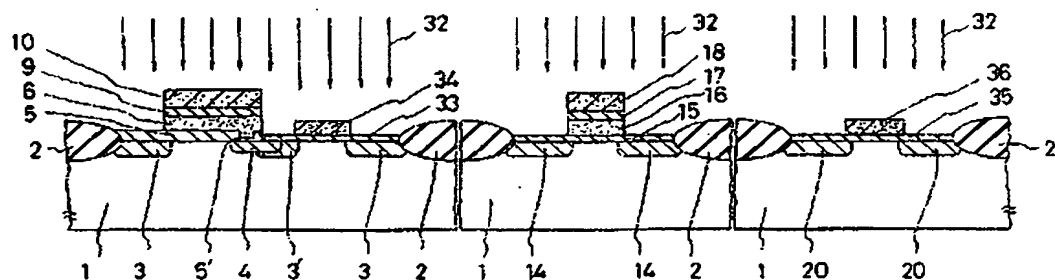
第 5 圖 ( a )



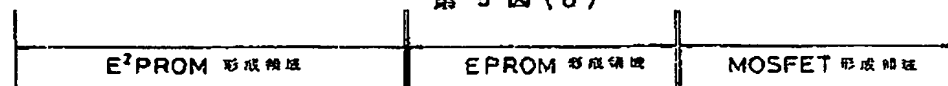
第 5 圖 ( b )



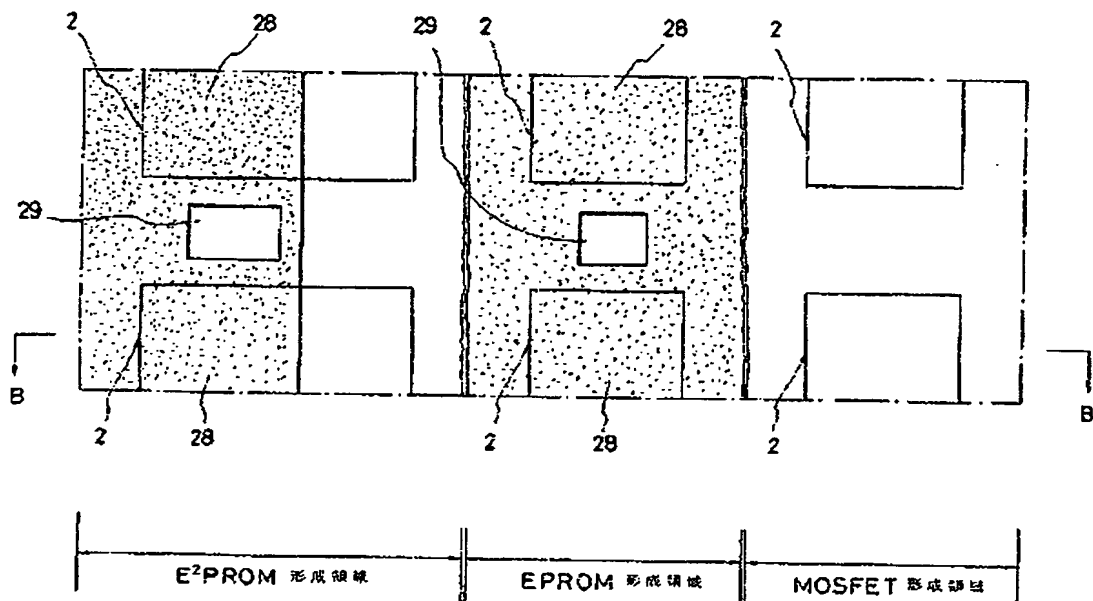
第 5 圖 ( c )



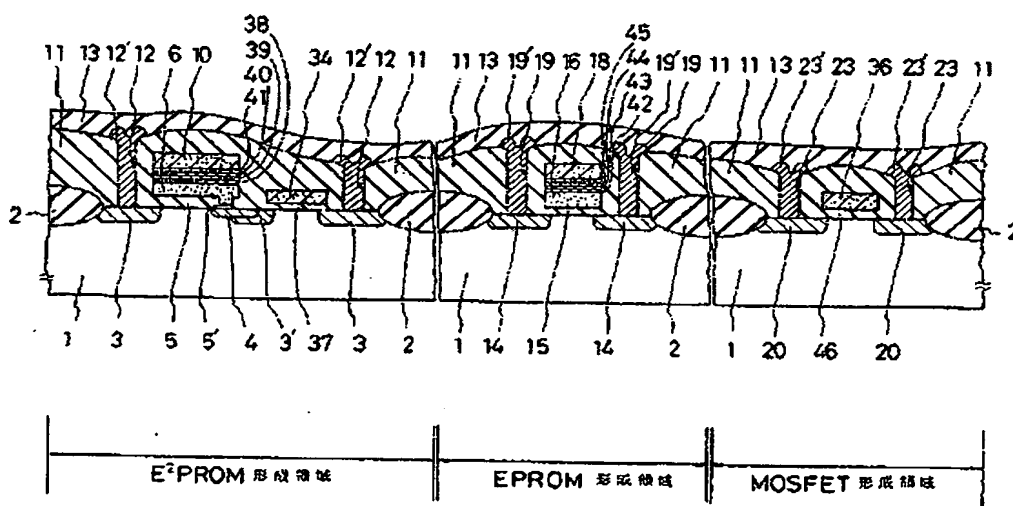
第 5 圖 ( d )



特開平3-126205 (83)

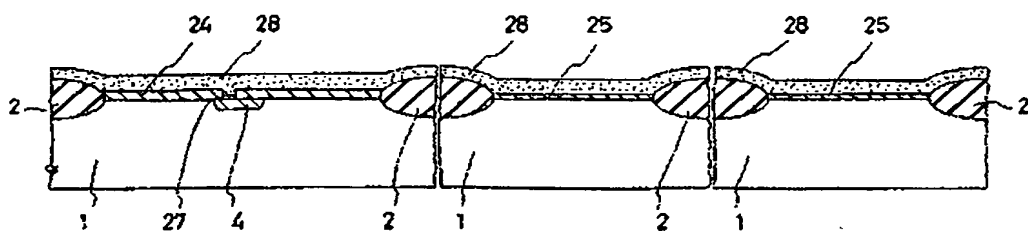


第 6 図

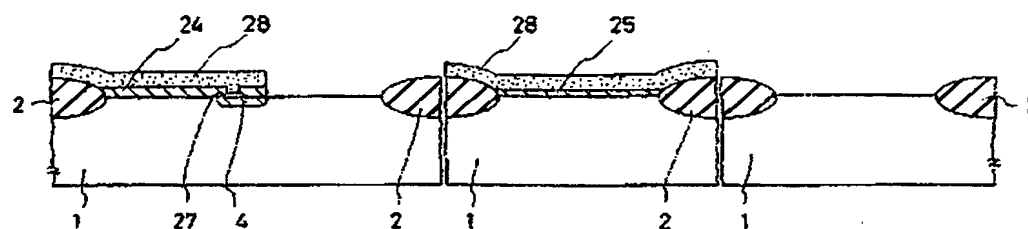


第 7 図

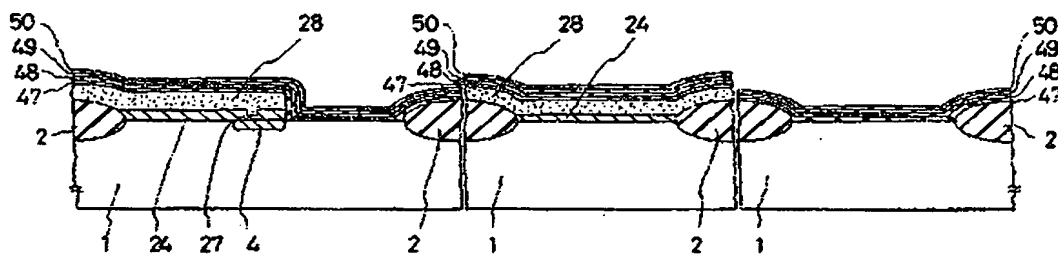
特開平3-126205 (94)



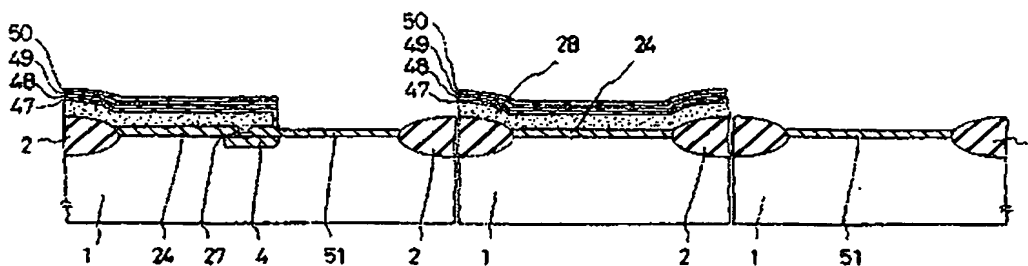
第 8 図 (a)



第 8 図 (b)



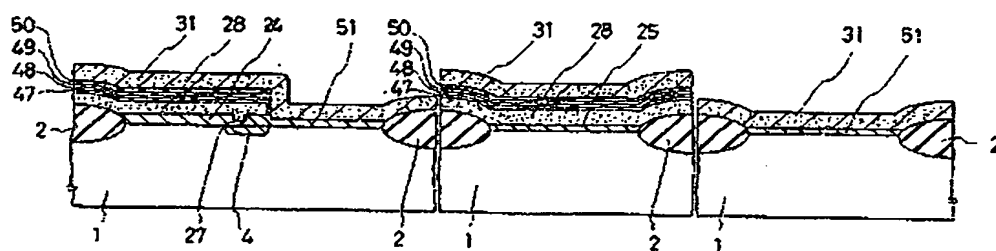
第 8 図 (c)



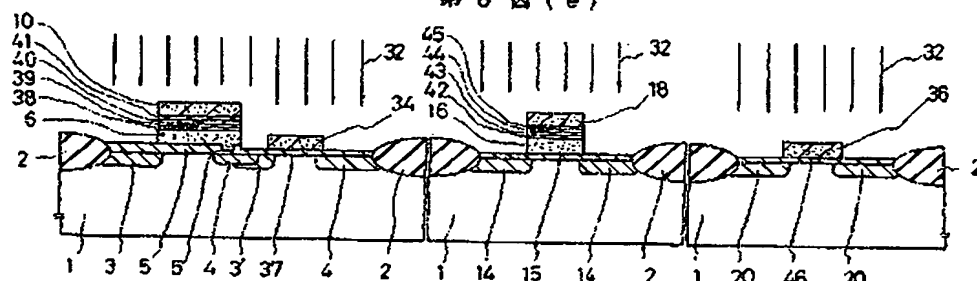
第 8 図 (d)



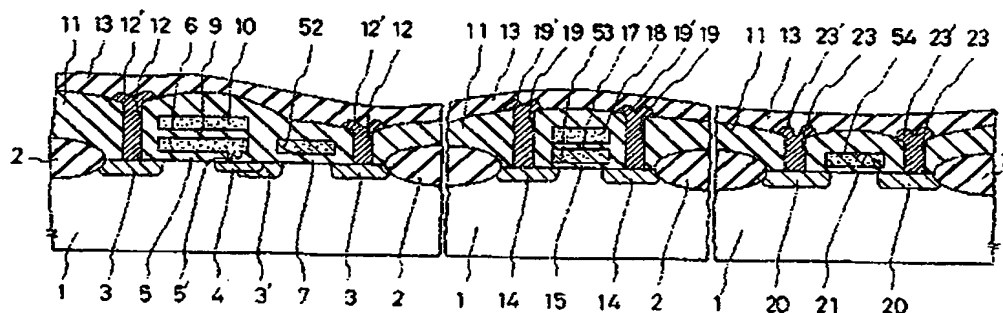
特開平3-126265 (35)



第 8 圖 ( e )

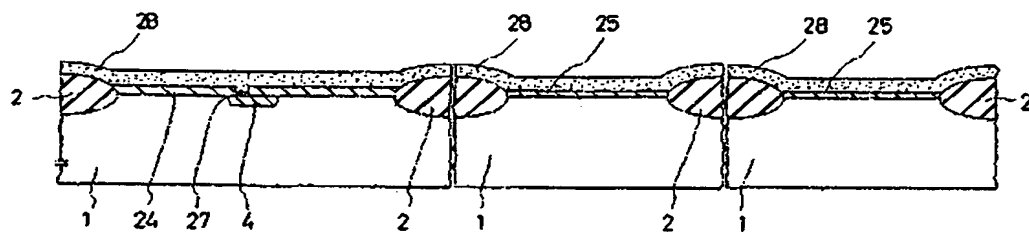


第 8 圖 ( f )

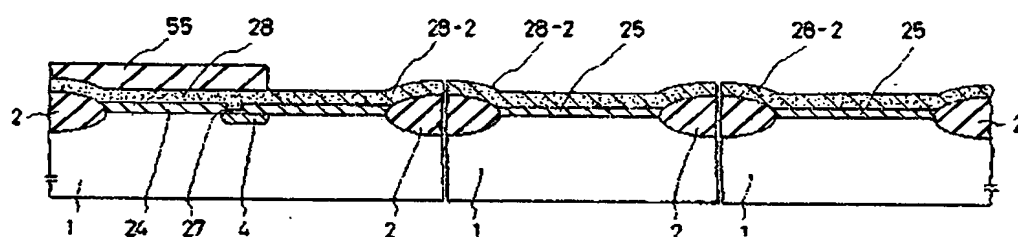


第 9 圖

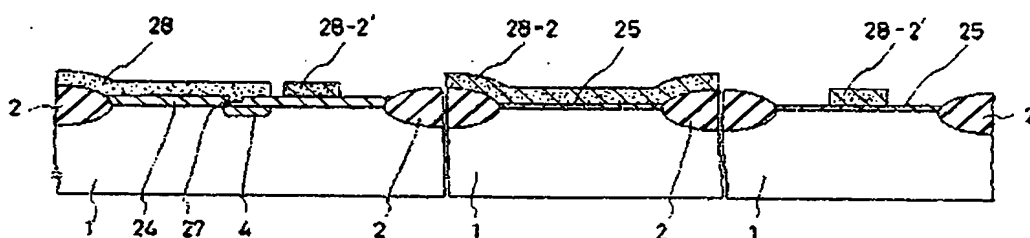
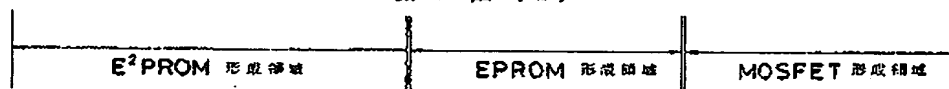
特開平3-126265 (36)



第 10 図 ( a )



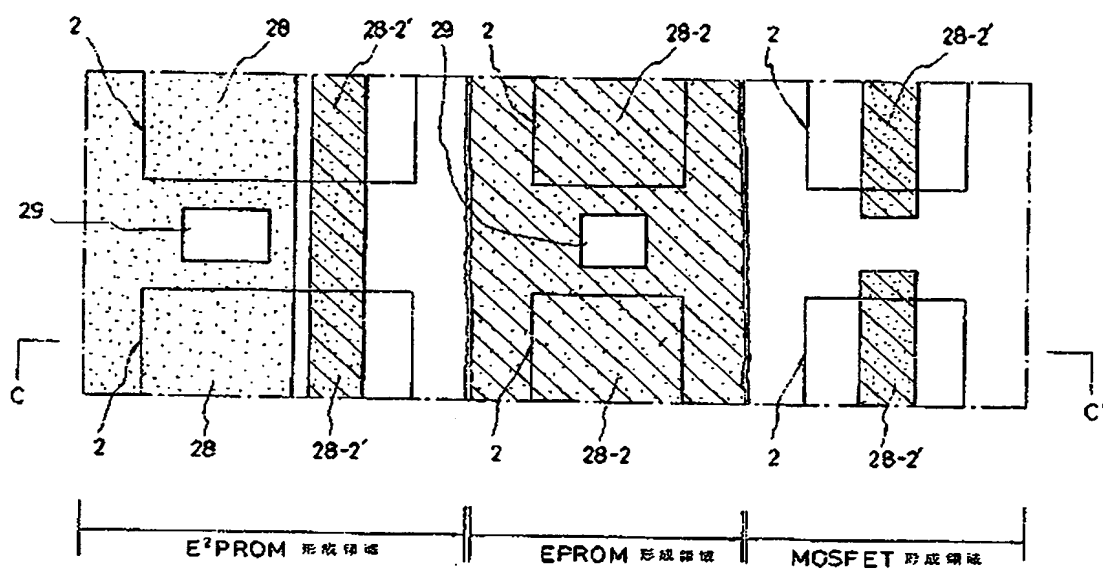
第 10 図 ( b )



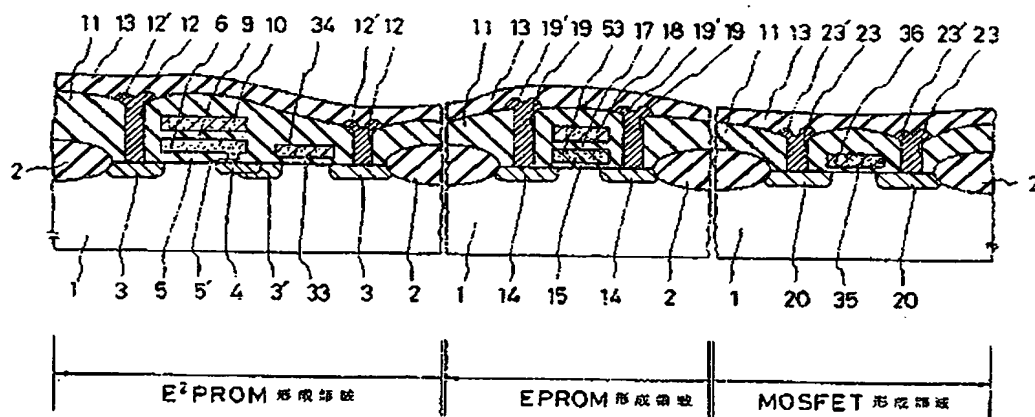
第 10 図 ( c )



特開平3-126265 (37)

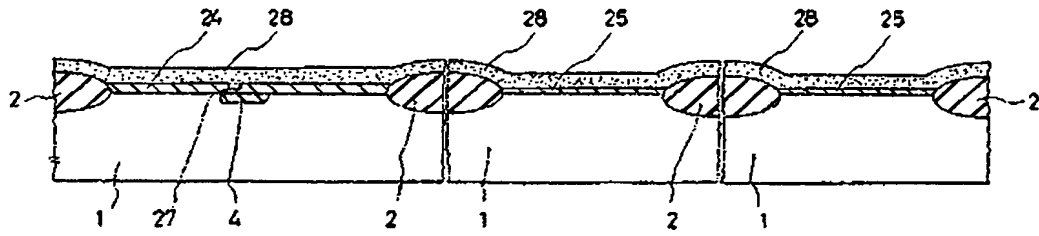


第 11 図

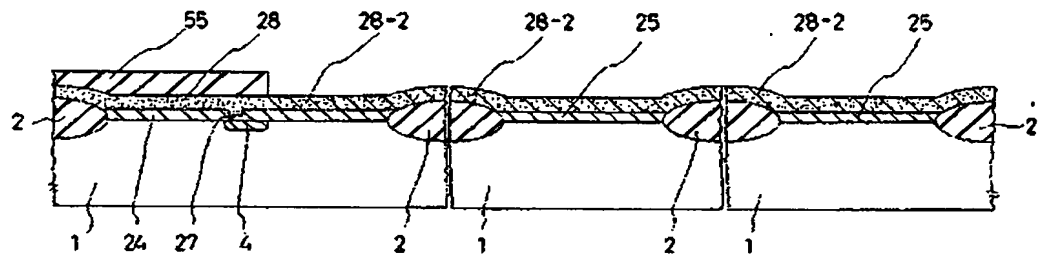


第 12 図

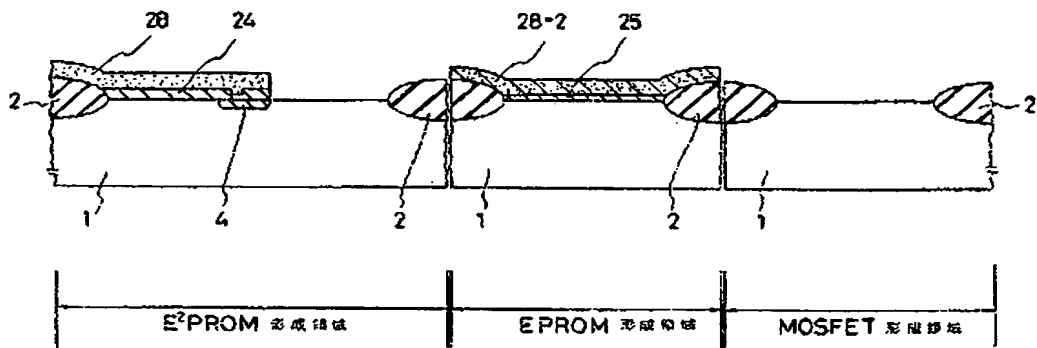
特開平3-126265 (39)



第 13 圖 ( a )



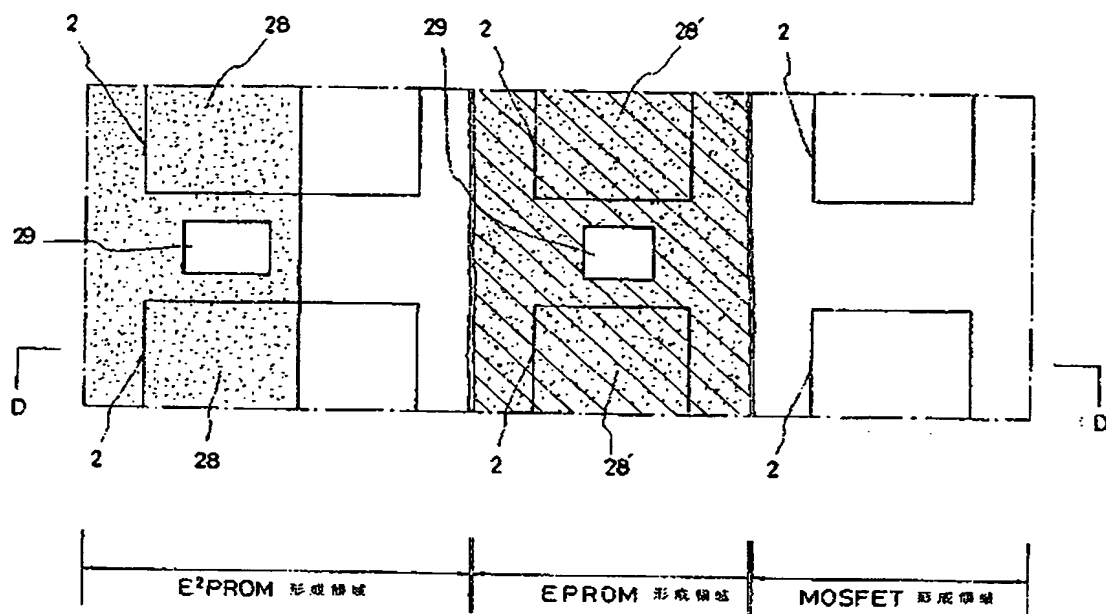
第 13 圖 ( b )



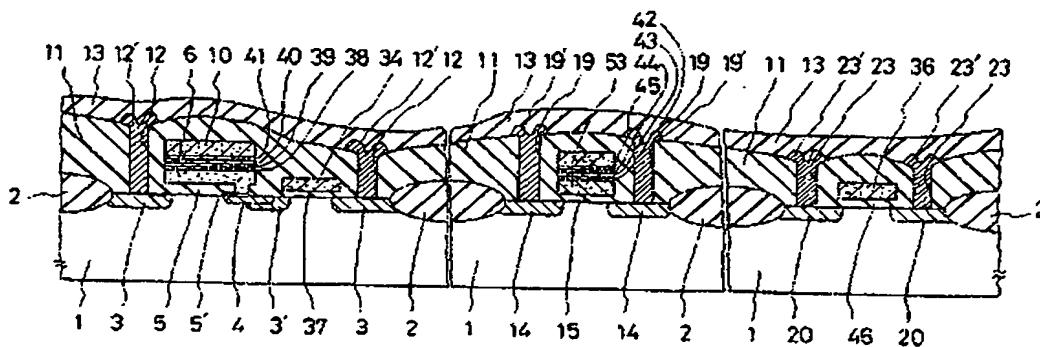
第 13 圖 ( c )



特開平3-126265 (39)

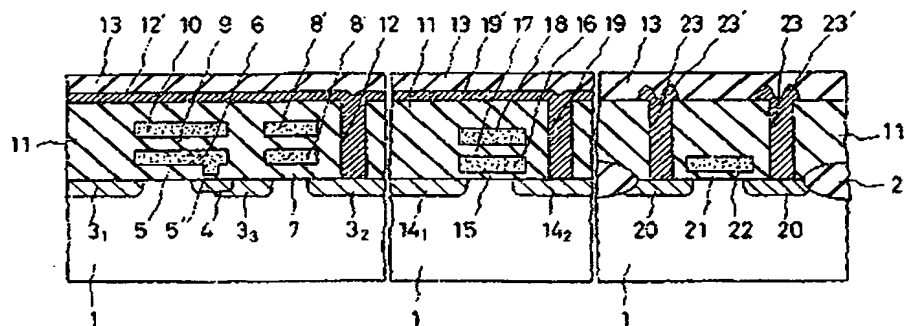


第 14 図

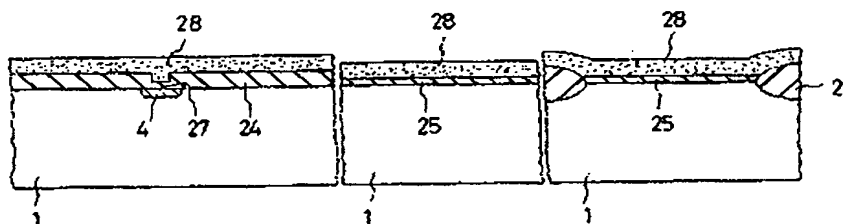


第 15 図

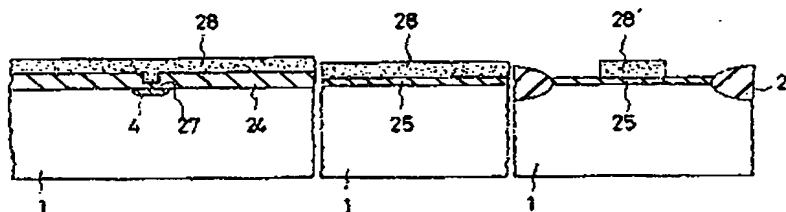
特開平3-126265 (40)



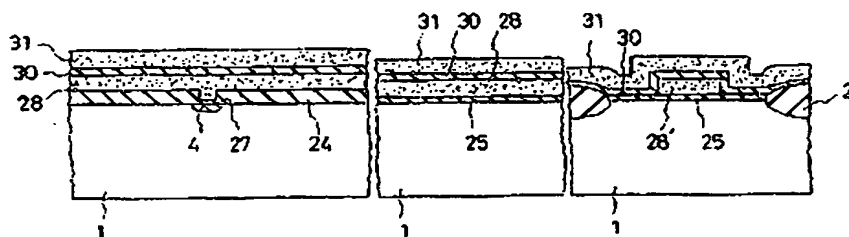
第 16 圖



第 17 圖 ( a )

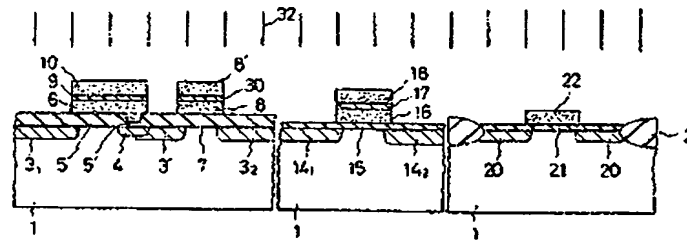


第 17 圖 ( b )

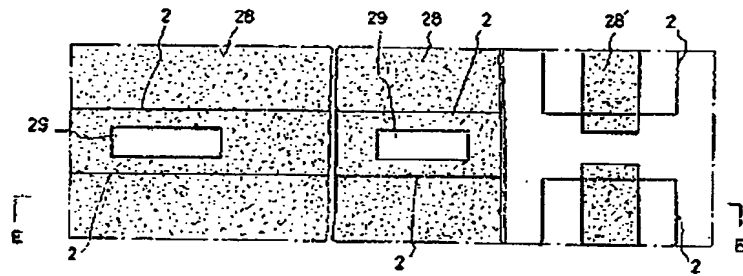


第 17 圖 ( c )

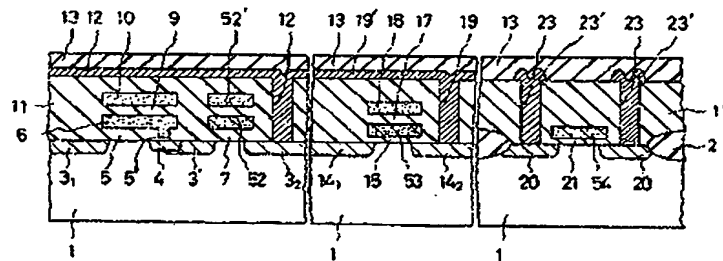
特開平3-126265 (41)



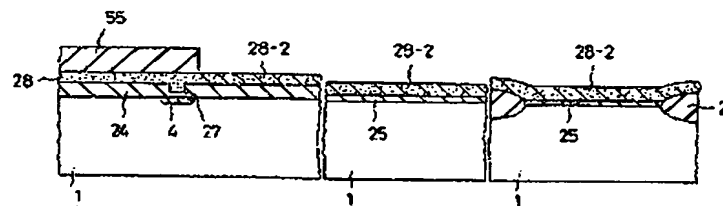
第 17 図 (d)



第 18 図

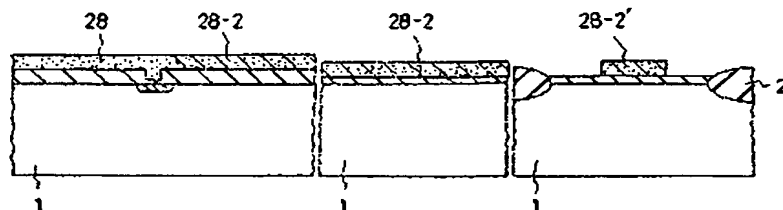


第 19 図

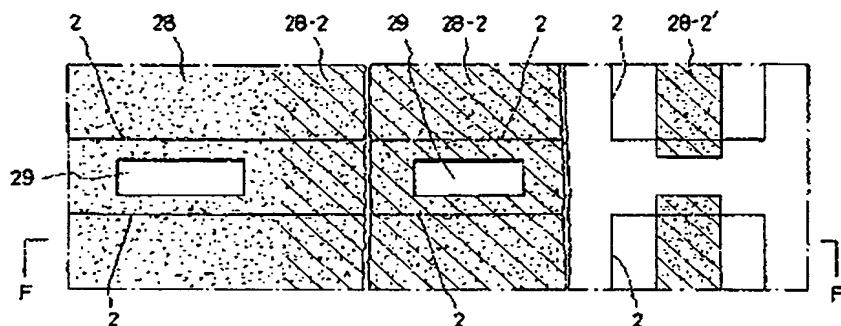


第 20 図 (a)

特開平3-126265 (42)



第 20 図 ( b )



第 21 図

第 1 頁の続き

⑤Int. Cl. 5

H 01 L 27/115  
29/784  
29/792

識別記号

庁内整理番号

8831-5F H 01 L 27/10 4 3 4

⑥発 明 者 品 田

一 義

神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝多摩川工場内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**